

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-197897

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G02F 1/136

G02F 1/133

(21)Application number : 08-358974

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 27.12.1996

(72)Inventor : YAMAZAKI SHUNPEI

KOYAMA JUN

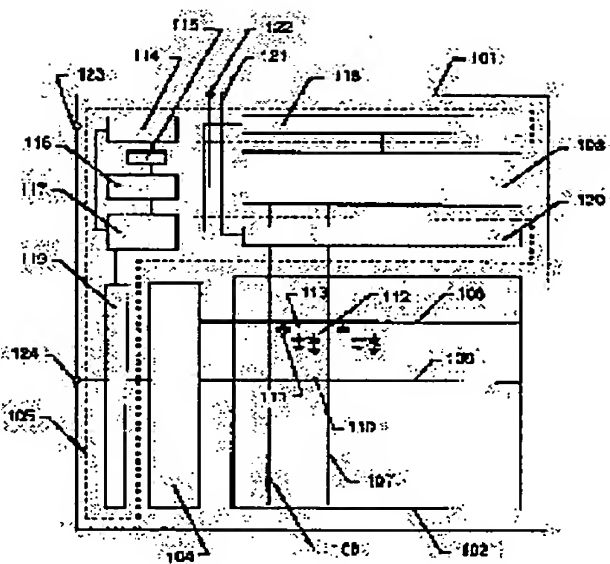
OTANI HISASHI

## (54) ACTIVE MATRIX DISPLAY

### (57)Abstract:

PROBLEM TO BE SOLVED: To realize an active matrix display low in power consumption and having multifunction by providing a structure aggregated with plural rod-like or flat rod-like crystals grown in nearly parallel to each other with directionality to plural TFT silicon thin films constituting a pixel matrix circuit, a driver circuit and a logic circuit.

SOLUTION: This display is constituted by arranging a pixel matrix circuit 102 including plural source lines, gate lines and plural TFTs, a driver circuit including a source line driver circuit 103 and a gate driver circuit 104 and a logic circuit 105 for processing a signal required for driving the driver circuit and the signal containing image information transmitted to a pixel matrix part on the same board 101. Then, the pixel matrix circuit 102, driver circuit and logic circuit 105 are constituted of plural TFTs by a crystal silicon thin film. At this time, the silicon thin film is provided with the crystal structure aggregated with plural rod-like or flat rod-like crystals grown in nearly parallel to each other with the directionality.



## LEGAL STATUS

[Date of request for examination] 19.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. Said silicon thin film mutual -- outline parallel -- and two or more cylindrical or active-matrix displays which are characterized by having the crystal structure to which a flat cylindrical crystal comes to gather which grew with directivity.

[Claim 2] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. It is the active-matrix display which constitutes said silicon thin film and which is characterized by cylindrical or for a crystal lattice standing in a row continuously, and being able to consider substantially that the interior of a flat cylindrical crystal is a single crystal for a carrier.

[Claim 3] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The subthreshold level multiplier of two or more of said TFT(s) is a active-matrix display whose N channel mold TFT and P channel mold TFT are characterized by being 60 - 100 mV/decade.

[Claim 4] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The dimension of two or more of said TFT(s) The active-matrix display characterized by differing according to the electrical property which the circuit which consists of these two or more TFT(s) requires.

[Claim 5] The pixel matrix circuit constituted including two or more source line, two or more gate lines,

and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The channel length of two or more of said TFT(s) and/or the thickness of gate dielectric film are a active-matrix display characterized by differing according to the electrical property which the circuit which consists of these two or more TFT(s) requires.

[Claim 6] The active-matrix display characterized by the electrical properties which a circuit requires being drive frequency and operating voltage in either of claims 4 and 5.

[Claim 7] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The thickness of the gate dielectric film of TFT with which the drive frequency needed among said two or more TFT(s) constitutes the circuit more than 0.1 GHz is below 500 \*\*. The thickness of the gate dielectric film of TFT which constitutes the circuit where the operating voltage to need exceeds 10V is a active-matrix display characterized by being 1000A or more.

[Claim 8] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The active-matrix display characterized by the RF actuation mold TFT and the high proof-pressure actuation mold TFT existing in said two or more TFT(s) simultaneously.

[Claim 9] It is the active-matrix display which the thickness of said RF actuation type TFT of gate dielectric film is below 500 \*\*, and is characterized by the thickness of said high proof-pressure actuation type TFT of gate dielectric film being 1000A or more in claim 8.

[Claim 10] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, In the active-matrix display constituted by arranging the logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section on the same substrate Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The active-matrix display characterized by including at least two kinds of circuits where drive frequency differs from operating voltage in two or more circuits which constitute said pixel matrix circuit, a driver line, and a logical circuit.

[Claim 11] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the

active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. Said silicon thin film mutual -- outline parallel -- and two or more cylindrical or active-matrix displays which are characterized by having the crystal structure to which a flat cylindrical crystal comes to gather which grew with directivity.

[Claim 12] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. It is the active-matrix display which constitutes said silicon thin film and which is characterized by cylindrical or for a crystal lattice standing in a row continuously, and being able to consider substantially that the interior of a flat cylindrical crystal is a single crystal for a carrier.

[Claim 13] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The subthreshold level multiplier of two or more of said TFT(s) is a active-matrix display whose N channel mold TFT and P channel mold TFT are characterized by being 60 – 100 mV/decade.

[Claim 14] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The dimension of two or more of said TFT(s) The active-matrix display characterized by differing according to the electrical property which the circuit which consists of these two or more TFT(s) requires.

[Claim 15] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The channel length of two or more



of said TFT(s) and/or the thickness of gate dielectric film are a active-matrix display characterized by differing according to the electrical property which the circuit which consists of these two or more TFT(s) requires.

[Claim 16] The active-matrix display characterized by the electrical properties which a circuit requires being drive frequency and operating voltage in either of claims 14 and 15.

[Claim 17] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The thickness of the gate dielectric film of TFT with which the drive frequency needed among said two or more TFT(s) constitutes the circuit more than 0.1 GHz is below 500 \*\*. The thickness of the gate dielectric film of TFT which constitutes the circuit where the operating voltage to need exceeds 10V is a active-matrix display characterized by being 1000A or more.

[Claim 18] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The active-matrix display characterized by the RF actuation mold TFT and the high proof-pressure actuation mold TFT existing in said two or more TFT(s) simultaneously.

[Claim 19] It is the active-matrix display which the thickness of said RF actuation type TFT of gate dielectric film is below 500 \*\*, and is characterized by the thickness of said high proof-pressure actuation type TFT of gate dielectric film being 1000A or more in claim 18.

[Claim 20] The pixel matrix circuit constituted including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, In the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have been arranged on the same substrate, and are arranged Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The active-matrix display characterized by including at least two kinds of circuits where drive frequency differs from operating voltage in two or more circuits which constitute said pixel matrix circuit, a driver line, and a logical circuit.

[Claim 21] either claim 2 5, 7, 8, 10 and 12 thru/or 15, 17, 18 and 20 -- setting -- said silicon thin film -- mutual -- outline parallel -- and two or more cylindrical or active-matrix displays which are characterized by having the crystal structure to which a flat cylindrical crystal comes to gather which grew with directivity.

[Claim 22] It is the active-matrix display on which a channel formation field at least constitutes the

direction of channel length, and said silicon thin film among the barrier layers which constitute said two or more TFT(s) in either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20 and which is characterized by cylindrical or for the direction of flat cylindrical crystal growth carrying out outline coincidence, and having an anisotropy in the direction of channel length, and the channel width direction.

[Claim 23] It is the active-matrix display characterized by a channel formation field at least being a genuineness field genuineness or substantially among the barrier layers which constitute said two or more TFT(s) in either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20. <BR> [Claim 24] In either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20, a kind or two or more kinds of elements which were chosen from nickel, Fe, Co, Sn, Pd, Pb, Pt, Cu, and Au as a catalyst element which promotes crystallization are contained in said silicon thin film, and it is the concentration of this catalyst element.  $1 \times 10^{17}$  atoms/cm<sup>3</sup> Active-matrix display characterized by being the following.

[Claim 25] The catalyst element which promotes said crystallization in claim 24 is a active-matrix display characterized by being nickel (nickel).

[Claim 26] In either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20, a kind or two or more kinds of elements which were chosen from Cl, F, and Br in said silicon thin film  $1 \times 10^{15} - 1 \times 10^{20}$  atoms/cm<sup>3</sup> Active-matrix display characterized by being contained by concentration.

[Claim 27] The active-matrix display characterized by a kind or two or more kinds of elements which were chosen as the interface of the barrier layer and gate dielectric film which constitute said two or more TFT(s) from Cl, F, and Br existing in high concentration in either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20.

[Claim 28] It is the active-matrix display characterized by consisting of two or more pixel fields in which said pixel matrix circuit was formed in the shape of a matrix in either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20, and at least one pixel TFT which becomes with the configuration substantially connected to the serial possessing two or more TFT(s) in this pixel field.

[Claim 29] The auxiliary capacity which said pixel matrix circuit is constituted from two or more pixel fields formed in the shape of a matrix in either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20, and is provided to this pixel field is a active-matrix display characterized by being formed between the black masks superimposed on connection wiring and this connection wiring.

[Claim 30] It is the active-matrix display characterized by being formed on the organic nature resin film with which said black mask has opening in claim 29, and forming said auxiliary capacity in the pars basilaris ossis occipitalis of said opening.

[Claim 31] It is the active-matrix display characterized by forming said path cord in the same ingredient as a source line, and the same layer in claim 29.

[Claim 32] The dimension of two or more TFT(s) which constitute said pixel matrix circuit in either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20 is a active-matrix display characterized by differing from the dimension of at least one TFT among two or more TFT(s) which constitute said driver line or logical circuit.

[Claim 33] The active-matrix display characterized by including at least one circuit among a phase comparator, LPF (low pass filter) and VCO (voltage-controlled oscillator), a counting-down circuit, the oscillator for horizontal scannings, the oscillator for vertical scannings, a D/A converter, an I/O Port, the differential amplifier, an operational amplifier, a comparator, and memory as said logical circuit in either claim 1 5, 7, 8, 10 and 11 thru/or 15, 17, 18 and 20.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Invention indicated on these descriptions relates to the configuration of the active-matrix display (the liquid crystal display of a active-matrix mold, EL display, and EC display are included) which consists of thin film transistors (TFT) formed using the thin film semiconductor which has crystallinity. Moreover, it is related with the electro-optics device which uses such a active-matrix display as an indicating equipment.

[0002]

[Description of the Prior Art] In recent years, the technique which really forms a pixel matrix circuit and an actuation circuit on the same substrate using TFT is progressing quickly. It is [ the ] reasonable in the need of a active-matrix display (it is also called a active-matrix panel) having increased in everyday life.

[0003] A active-matrix display arranges TFT to each of two or more pixels of each, arranged in the shape of a matrix, and controls the charge which frequents each pixel electrode (actuation electrode) by the switching function of TFT.

[0004] The content indicated by U.S. Pat. No. 5250931 (Misawa et al.) as such a active-matrix display is known. By the above mentioned patent, the active-matrix panel and the application product in which the pixel matrix and the driver line (a source line driver line and gate line driver line) were formed on the same substrate are indicated, and the purport by which the driver line is constituted from a shift register, a sample hold circuit, a buffer, etc. is indicated.

[0005] The conventional active-matrix display was what stops on the same substrate constituting a pixel matrix and a driver line as shown in the above mentioned patent. However, in current everyday life, a active-matrix display is used for various application products (electro-optics device etc.), and the call for a miniaturization, high-performance-izing, and low-power-ization is becoming still stronger.

[0006] Recently in such, the SOP (system-on panel) design is proposed as a means to attain miniaturization of a active-matrix display, and high performance-ization. This SOP design is a design carried on the same substrate as it is also at TFT conventionally about the logical circuit (digital disposal circuits, such as a display control circuit and an arithmetic circuit) by which external was carried out to the active-matrix display.

[0007] However, the technique which forms TFT which can realize the design is not yet established. The reason is difficult [ it / to constitute the electrical circuit which needs RF actuation like a logical circuit from TFT using the silicon thin film (silicon thin film) by which current utilization is carried out ].

[0008] For example, although TFT using the silicon thin film (the so-called elevated-temperature polish recon film) formed through the heat-treatment before and behind 900 \*\* in the actual condition or the silicon thin film below 600 \*\* (the so-called low-temperature polish recon film) comparatively formed at low temperature is announced, implementation of TFT which has the high-speed operation engine performance which can constitute a logical circuit from these silicon thin films is difficult.

[0009] Although temporary management can be performed because the improvement in the working speed of TFT makes TFT size small, channel length's (or gate length) cutback causes a short channel

effect, and nonconformities, such as lowering of drain pressure-proofing, produce it. Therefore, in TFT using the conventional silicon thin film, the limitation is coming also for improvement in the working speed by the scaling law, and it is difficult to gather working speed from the problem of dependability more than this. Moreover, crystal grain and a grain boundary (grain BANDARI) exist in a silicon thin film irregularly, and there is also a problem that a grain boundary influences a TFT property greatly and produces variation.

[0010] As mentioned above, even if it can constitute a active-matrix display as shown in the above mentioned patent from a conventional TFT manufacturing technology, it is difficult to build in the logical circuit which needs high-speed operation further.

[0011] Moreover, in IGFET (insulated gate field effect transistor) formed on the single crystal silicon used conventionally, IGFET which can respond to both low frequency actuation and RF actuation can be formed using the crystallinity which was extremely excellent in the single crystal. However, in IGFET formed on a single crystal silicon wafer, in order to raise working speed, shortly after shortening channel length, there is a problem that a short channel effect will actualize.

[0012] Therefore, since special processing of a channel dope etc. is needed, as for IGFET for high frequency actuation, it is common to avoid that a production process becomes complicated and to use independently IC chip for high frequency actuation and IC chip for low frequency actuation (for high proof-pressure actuation) properly.

[0013] Therefore, in the Prior art, it is difficult to load together the logical circuit for high frequency actuation, and the logical circuit for low frequency actuation on the same substrate or the same chip, and it has been a serious failure when that realizes an SOP design.

[0014]

[Problem(s) to be Solved by the Invention] This invention makes it a technical problem to offer the technique for realizing the active-matrix display which has the low-power nature and various functions nature which conquered the above troubles and loaded together the circuit which can respond for RF actuation on the same substrate, and the circuit which can respond to low frequency actuation (or high proof-pressure actuation). Moreover, let it be a technical problem to offer the technique for realizing the small and cheap electro-optics device using such a active-matrix display.

[0015] In addition, the language active-matrix "display" is used [ be / it / under / this / description / setting ] also including the configuration substrate which has a active-matrix mold display and its main function. That is, if an active matrix liquid crystal indicating equipment is taken for an example, for example, not only an active matrix liquid crystal indicating equipment but a active-matrix substrate (substrate of the side which forms TFT) shall be contained in the language active-matrix "display."

[0016]

[Means for Solving the Problem] The pixel matrix circuit where invention indicated on these descriptions is constituted, including two or more source line, two or more gate lines, and two or more TFT(s) at least, The driver line which contains at least the gate line driver line which drives the source line driver line which drives said source line, and said gate line, The logical circuit which processes the signal containing the image information transmitted to a signal required since said driver line is driven, and said pixel matrix section, the active-matrix display constituted by arranging on the same substrate -- or The above-mentioned pixel matrix circuit, It is related with the active-matrix display which becomes with the configuration which pinched the liquid crystal layer between the opposite substrates which counter the active-matrix substrate and this active-matrix substrate which have arranged the driver line and the logical circuit on the same substrate, and are arranged.

[0017] one of the configurations of this invention constitutes said pixel matrix circuit, a driver line, and a logical circuit from two or more TFT(s) depended on the silicon thin film which has crystallinity in the above-mentioned active-matrix display -- having -- said silicon thin film -- mutual -- outline parallel -- and it is characterized by two or more cylindrical or having the crystal structure to which a flat cylindrical crystal comes to gather with directivity.

[0018] Moreover, the configuration of other invention is characterized by the thing which said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity, and constitute said silicon thin film and for which a crystal lattice stands in a row continuously, and it can be substantially considered for a carrier that the interior of cylindrical or a flat cylindrical crystal is a single crystal in the above-mentioned active-matrix display.

[0019] Moreover, the configuration of other invention consists of two or more TFT(s) depended on the silicon thin film with which said pixel matrix circuit, a driver line, and a logical circuit have crystallinity in the above-mentioned active-matrix display, and the subthreshold level multiplier of two or more of said TFT(s) is characterized by the N channel mold TFT and the P channel mold TFT being 60 – 100 mV/decade.

[0020] Moreover, in the above-mentioned active-matrix display, said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity, and the configuration of other invention is characterized by the dimensions of two or more of said TFT(s) differing according to the electrical property which the circuit which consists of these two or more TFT(s) requires.

[0021] Moreover, the configuration of other invention consists of two or more TFT(s) depended on the silicon thin film with which said pixel matrix circuit, a driver line, and a logical circuit have crystallinity in the above-mentioned active-matrix display, and channel length (L) of two or more of said TFT(s) and/or thickness (T) of gate dielectric film are characterized by differing according to the electrical property which the circuit which consists of these two or more TFT(s) requires.

[0022] Moreover, the configuration of other invention is set on the above-mentioned active-matrix display. Said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity. The thickness of the gate dielectric film of TFT with which the drive frequency needed among said two or more TFT(s) constitutes the circuit more than 0.1 GHz is below 500 \*\*. Thickness of the gate dielectric film of TFT which constitutes the circuit where the operating voltage to need exceeds 10V is characterized by being 1000Å or more.

[0023] Moreover, in the above-mentioned active-matrix display, said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity, and the configuration of other invention is characterized by the RF actuation mold TFT and the high proof-pressure actuation mold TFT existing in said two or more TFT(s) simultaneously.

[0024] Moreover, the configuration of other invention is characterized by including at least two kinds of circuits where drive frequency differs from operating voltage in the above-mentioned active-matrix display in two or more circuits which said pixel matrix circuit, a driver line, and a logical circuit consist of two or more TFT(s) depended on the silicon thin film which has crystallinity, and constitute said pixel matrix circuit, a driver line, and a logical circuit.

[0025] Suppose that detailed explanation is given in the example indicated below about this invention which becomes with the above configuration.

[0026]

[Example]

[Example 1] It is the block diagram of the active-matrix display by this invention which is shown in drawing 1 . The active-matrix display of this invention really forms the pixel matrix circuit 102, the source line driver line 103, the gate line driver line 104, and a logical circuit 105 on a substrate 101, and is constituted.

[0027] In addition, the circuitry shown in this example does not only show one example, and does not limit circuitry to this. What is necessary is for the main point of this invention to be carrying the logical circuit 105 on the same substrate, and just to opt for the configuration of various circuits, such as the above-mentioned pixel matrix circuit 102, the source line driver line 103, the gate line driver line 104, and a logical circuit 105, if needed for a circuit design.

[0028] In drawing 1 , the source line driver line 103 mainly consists of a shift register, a level shifter, a



buffer, a latch circuit, etc., and the gate line driver line 104 mainly consists of the shift register, a multiplexer, a level shifter, a buffer, etc. Of course, a shift register is not cared about as a configuration for which the circuit which has the same function, for example, a counter, and a decoder are substituted. Moreover, although drawing 1 R> 1 shows the circuitry corresponding to digital one, if it is an analog response, a sample hold circuit etc. is included in the source line driver line 103.

[0029] In addition, the various circuits included in these source line driver line 103 and the gate line driver line 104 are constituted considering the inverter circuit which becomes with the CMOS structure which combined the N channel mold TFT and the P channel mold TFT complementary as a base unit. Of course, although the circuit of a piece polarity is sufficient, the static mold or dynamic mold circuit by CMOS structure is suitable from a viewpoint of a low power.

[0030] Moreover, two or more pixel fields 110 surrounded by two or more gate lines 108 and 109 connected to two or more source lines 106 and 107 and gate line driver lines 104 which are connected to the source line driver line 103 are arranged in the shape of a matrix, and the pixel matrix circuit 102 is constituted. And two or more pixel fields 110 are constituted including a pixel TFT111, a liquid crystal cell 112, and the auxiliary capacity 113. In addition, although not illustrated, a liquid crystal cell 112 consists of a pixel electrode and a counterelectrode, and liquid crystal pinched in the meantime.

[0031] Next, a logical circuit 105 points out a circuit at large [ required in order to perform signal processing required to perform image display like processing of the video signal for displaying an image on processing of the start pulse for driving the source line driver line 103 and the gate line driver line 104, a clock signal, etc., and the pixel matrix circuit 102 ].

[0032] In the example shown in drawing 1 , a logical circuit 105 is constituted including a phase comparator 114, LPF (Low Pass Filter)115 and VCO (voltage-controlled oscillator)116, a counting-down circuit 117, the oscillator 118 for source line drivers (for horizontal scannings), the oscillator 119 for gate line drivers (for vertical scannings), and D/A converter (digital-analog converter) 120.

[0033] In addition, this invention persons think that other logical circuits which are not illustrated here, for example, the I/O Port which outputs and inputs the signal sent from image sensors or CCD, amplifier system circuits ( the differential amplifier, an operational amplifier, comparator, etc.), an A/D converter, the memory ( RAM and ROM) that stores data, and the system display which carried in the MONOSHI rucksack to the arithmetic circuit ultimately, and was equipped with the function as a CPU ( arithmetic and program control) can also be realized.

[0034] Moreover, as for the input terminal of a bit signal for the input terminal of the analog signal [ 121 ] according to a digital gradation signal and 122 to choose a digital gradation signal, and 123, the input terminal of the synchronizing signal for horizontal scannings and 124 are the input terminals of the synchronizing signal for vertical scannings. Of course, an input terminal becomes unnecessary if the oscillator circuit which forms these analog signals, a bit signal, and a synchronizing signal is also incorporated on a substrate.

[0035] (silicon thin film needed by this invention) Here, in realizing a active-matrix display as shown in drawing 1 , the most important element is explained. It is [ like ] difficult to load [ which was explained in the conventional example ] together the circuit and the circuit corresponding to low frequency actuation (high proof-pressure actuation) corresponding to RF actuation on the same substrate with the conventional silicon thin film. Therefore, in order to constitute a active-matrix display as shown in drawing 1 , a silicon thin film which realizes TFT which can respond to a broad frequency domain must be formed.

[0036] This invention is made into what can realize the active-matrix display of a configuration as TFT made into the barrier layer shows the completely new silicon thin film explained below to drawing 1 . This completely new silicon thin film is the ingredient which this invention persons invented, and the description unique in the structure of a silicon thin film where TFT using this ingredient constitutes the formation approach of a barrier layer and gate dielectric film and a barrier layer is seen. Here, a process until it forms gate dielectric film is first explained using drawing 2 .

[0037] The substrate 201 which has an insulating front face first is prepared. Although a quartz substrate is used in this example, the substrate which formed the oxidation silicon film etc. as substrate film may be used on it. however, the silicon thin film used by this invention -- forming -- Since 700–1100-degree C heat-treatment is needed, the substrate 201 must have the thermal resistance which can bear the temperature requirement.

[0038] Next, it is the amorphous silicon film (amorphous silicon film) 202 100 – 750 \*\* (preferably 150 – 450 \*\*) Membranes are formed with a plasma-CVD method, a spatter, and a reduced pressure heat CVD method in thickness. In addition, membranes are formed more thickly than the thickness needed eventually, taking the film decrease by the next thermal oxidation process into count. moreover, \*\*\*\*\* according [ on a next crystallization process and ] to the rate of natural karyogenesis according to the reduced pressure heat CVD method using silane system gas (SiH<sub>4</sub>, Si<sub>2</sub>H<sub>6</sub>, Si<sub>3</sub>H<sub>8</sub>, etc.) as membrane formation gas -- since it is few, it is desirable.

[0039] If the amorphous silicon film 202 is formed, next the amorphous silicon film 202 will be crystallized and the crystal silicon film (polish recon film) will be obtained. A technique given in JP,7-130652,A is used as a crystallization means. A technique given [ this ] in an official report adds a catalyst element (typically nickel) to the amorphous silicon film, and promotes crystallization.

[0040] In addition, although it is also possible to indicate a means to add a catalyst element all over the amorphous silicon film in this official report, and a means to add selectively, and to use which fundamentally, since the direction using the latter is excellent in the controllability of the direction of crystal growth, it is desirable. Therefore, this example explains the case where the latter is used.

[0041] First, if the amorphous silicon film 202 is formed, the mask 203 which becomes by the oxidation silicon film for adding nickel (nickel) selectively will be formed. Two or more openings 204 are formed in the mask 203 which becomes by the oxidation silicon film by patterning, and, as for one side of opening 204, it is desirable to have width of face of at least 10 micrometers or more. Less than [ this ], a possibility that a solution may not arrive even at the interior of opening with surface tension in the process which applies the solution containing Ushiro's catalyst element arises. Here, in drawing 2 (A), opening 204 can be set to 10–20 micrometers, and width of face can make the die length the die length of dozens – 100 micrometers of numbers toward a direction vertical to space.

[0042] Next, UV light is irradiated into an oxygen ambient atmosphere, and a very thin oxide film (not shown) is formed in the exposure front face of the amorphous silicon film 202. This oxide film is for improving the wettability of a solution at the solution spreading process at the time of introducing the nickel which promotes crystallization behind. In addition, as a catalyst element which promotes crystallization, elements, such as Fe, Co, Sn, Pd, Pb, Pt, Cu, and Au, can be used besides nickel.

[0043] Next, predetermined concentration (at this example, it is 100 ppm by weight conversion) The nickel nitrate (or nickel acetate) solution containing nickel is dropped, and the thin water screen 205 which contained nickel with the spin coat method is formed. The nickel concentration added in the amorphous silicon film 202 is easily controllable by adjusting the concentration of a nickel salt solution in a solution spreading process. ( Drawing 2 (B) )

[0044] Next, it sets in the ambient atmosphere containing an inert atmosphere or hydrogen, and is at the temperature of 550 – 650 \*\* in 500 – 700 \*\* and a representation target. 4–8 Heat-treatment of time amount is added and the amorphous silicon film 202 is crystallized. It is thought that the nickel in the film serves as a nucleus and crystallization advances. ( Drawing 2 (C) )

[0045] Crystallization of the amorphous silicon film 202 advances preferentially from the opening 204 which added nickel, and the 1st crystalline region 206 is formed in the bottom of opening 204. Moreover, cylindrical or the 2nd crystalline region 207 which consists of flat cylindrical crystals which grew up to be a substrate 201 and outline parallel is formed in the bottom of a mask 203 of diffusion of nickel. 208 is the grain boundary in which the 2nd crystalline region 207 which has grown from hard flow mutually collided, and was formed.

[0046] In this invention, only this 2nd crystalline region is used as crystal silicon film. The grain boundary

seems namely, not to influence a TFT property like the conventional polish recon film, since the crystallization field (the 2nd crystalline region 207) of the amorphous silicon film 202 and the location of the grain boundary 208 grade by collision are controllable by arrangement of opening 204.

[0047] Next, after removing the mask 203 which becomes by the oxidation silicon film, two or more barrier layers 209 as processed the obtained crystal silicon film 207 in the shape of an island by patterning and shown in drawing 2 (D) are formed.

[0048] If the barrier layer 209 which becomes by the crystal silicon film is formed, the gate dielectric film 210 which comes by the oxidation silicon film on a barrier layer 209 will be formed. The membrane formation approach of gate dielectric film 210 should just use gaseous-phase methods, such as a plasma-CVD method, a heat CVD method, and a spatter. Moreover, a silicon nitride film and an oxidation silicon nitride film may be used instead of the oxidation silicon film, or the laminating of those insulator layers may be carried out, and they may be used.

[0049] What is necessary is just to determine the thickness of this gate dielectric film 210 according to the property to need, corresponding to the objects (circuit to be used) using TFT. In addition, when the thickness of the gate dielectric film needed eventually becomes below 500 \*\*, it can set without forming gate dielectric film 210, and only the thermal oxidation film obtained at a next thermal oxidation process can also be used as gate dielectric film.

[0050] Next, it heat-treats in the ambient atmosphere containing a halogen. This heat-treatment is the gettering process of the catalyst element which aimed at removing the metallic element in a barrier layer 209 (especially nickel) to the 1st using the gettering effectiveness of the metallic element by the halogen.

[0051] In order to acquire that effectiveness, as for the heat-treatment for this gettering, it is desirable to carry out at the temperature exceeding 700 \*\*. At the temperature not more than it, there is a possibility that gate dielectric film 210 may serve as a blocking layer, and sufficient gettering effectiveness cannot be acquired.

[0052] Therefore, it carries out at the temperature exceeding 700 \*\*, and considers as 800–1000 degrees C (typically 950 \*\*) preferably, and this heat-treatment is the processing time. On 0.1 – 6 hours, and a representation target If it is 0.5 – 1 hour, sufficient gettering effectiveness can be acquired.

[0053] In addition, here shows the example which performs 950 \*\* and heat-treatment for 30 minutes into the ambient atmosphere which made the hydrogen chloride (HCl) contain [ be / it / under / oxygen (O<sub>2</sub>) ambient atmosphere / receiving ] by the concentration of 0.5 – 10 volume % (this example three volume %). If HCl concentration is carried out to more than the above-mentioned concentration, since irregularity comparable as thickness arises on the front face of a barrier layer 209, it is not desirable.

[0054] Moreover, the oxidation rate of the crystal silicon film can be reduced into an above-mentioned oxidizing atmosphere by considering as the ambient atmosphere which mixed high-concentration nitrogen (N<sub>2</sub>). It is an effective means when increasing gettering time amount, without advancing a thermal oxidation reaction beyond the need.

[0055] moreover -- although the compound was carried out and the example containing a halogen using HCl gas was shown -- as the other gas -- typical -- HF, NF<sub>3</sub>, HBr, Cl<sub>2</sub>, ClF<sub>3</sub>, BCl<sub>3</sub>, F<sub>2</sub>, and Br<sub>2</sub> etc. -- a kind or two or more sorts of things chosen from the compound containing a halogen can be used. Moreover, generally the hydride or the organic substance (charcoal hydride) of a halogen can also be used.

[0056] Gettering of the nickel added in the barrier layer 209 in this process is carried out by operation of a halogen (here chlorine), it turns into a volatile nickel chloride, and it is thought that it is broken away and removed into atmospheric air. Therefore, concentration of the nickel in a barrier layer 211  $1 \times 10^{17}$  atoms/cm<sup>3</sup> It decreases even below. In addition, the high impurity concentration in this description is defined by the minimum value of the measurement value obtained by SIMS analysis.

[0057] Therefore, by heat-treatment in the ambient atmosphere containing the halogen shown in drawing 2 (E), the nickel in a barrier layer 211 is reduced by even extent ( $1 \times 10^{17}$  atoms/cm<sup>3</sup> following,

preferably below the spin density in a barrier layer) which does not affect a device property, and can obtain a barrier layer with a very small trap consistency.

[0058] Moreover, when a gettering process is performed, the halogen used for gettering processing in a barrier layer 209  $1 \times 10^{15} - 1 \times 10^{20}$  atoms/cm<sup>3</sup> It remains by concentration. The inclination to be distributed at high concentration between a barrier layer 209 and the thermal oxidation film formed of heat-treatment is confirmed by SIMS analysis in that case.

[0059] The barrier layer 211 obtained at the above processes consists of crystal silicon film used as a unique crystal structure object. The TEM photograph which expanded the crystal silicon film formed here according to the above-mentioned process by 250,000 times is shown in drawing 3. As shown in drawing 3, the crystal silicon film obtained at the above-mentioned process has the description as shown below.

- (1) The structure of a crystal lattice stands in a row continuously in the specific direction mostly.
- (2) It has grown to be a thin cylindrical (or pillar-shaped) crystal or a thin flat cylindrical crystal.
- (3) two or more cylindrical or flat cylindrical crystals -- mutual -- parallel -- or -- almost -- parallel -- and it is growing up with directivity.

[0060] If the photograph shown in drawing 3 is seen, the thin cylindrical crystal with a width of face of about 0.15 micrometers is prolonged, for example in the direction of slant from the lower left to the upper right, and a clear boundary (grain boundary) can be checked to both the width-of-face edge (shades, such as a line looked at by the photograph, are based on the difference in the sense of the crystal face). moreover, two or more cylindrical crystals -- mutual -- an outline -- it can check that two or more grain boundaries have also extended in parallel mostly from carrying out crystal growth in the parallel direction. Since this grain boundary serves as an energy barrier for a carrier (an electron or electron hole), it is thought that a carrier moves preferentially in the interior of a cylindrical crystal.

[0061] In addition, gettering clearance of the barrier layer 211 is carried out to extent from which crystallinity is remarkably improved by heat-treatment at the temperature exceeding 700 \*\* containing the above-mentioned halogen, and a metallic element does not pose a problem. Therefore, it is thought that the interior of a cylindrical crystal serves as a field a crystal lattice stands in a row continuously, and it can be substantially considered for a carrier that is a single crystal.

[0062] Moreover, the grain boundary does not exist substantially that a crystal lattice stands in a row continuously in the interior of a cylindrical crystal, or even if it exists, the condition of being inactive electrically is pointed out. From the result of the electrical property (it mentions later) of TFT using a barrier layer 211, this invention persons have guessed that the possibility of an inactive grain boundary is high electrically [ a {111} twin-crystal grain boundary, {111} stacking faults, a {221} twin-crystal grain boundary etc. ], even if the grain boundary exists.

[0063] Moreover, by the interface of a barrier layer 211 and gate dielectric film 210, a thermal oxidation reaction advances by the above-mentioned heat-treatment, and only the part of the formed thermal oxidation film 212 increases all the thickness of gate dielectric film 210. Therefore, a barrier layer 211 is thin-film-ized in proportion to a formed part of the thermal oxidation film. Thin film-ization of a barrier layer promotes effectiveness, such as reduction of the OFF state current of TFT, and improvement in electric field effect mobility. Furthermore, after performing heat-treatment in the above-mentioned halogen ambient atmosphere, very good semi-conductor / insulator layer interface are realized with improvement in the membraneous quality of gate dielectric film 210 by performing heat-treatment of about 950 \*\* 1 hour in nitrogen-gas-atmosphere mind.

[0064] (TFT needed by this invention) If TFT is produced using the above barrier layers 211, an electrical property as shown in drawing 4 will be acquired (Ushiro's example is yielded about the making process of TFT). What is shown in drawing 4 is  $I_d$ - $V_g$  of the N channel mold TFT which gate voltage ( $V_g$ ) was taken along the axis of abscissa, it took the logarithm of a drain electrical potential difference ( $I_d$ ) along the axis of ordinate, and was plotted. It is a curve ( $I_d$ - $V_g$  property).

[0065] In drawing 4, 401 is the electrical property of TFT using the barrier layer obtained at the above-

mentioned process, and 402 shows the electrical property of the conventional TFT. Specifically, 402 is the electrical property of TFT produced in the process which deleted nitrogen annealing of heat-treatment and after that in the ambient atmosphere containing a halogen from the above-mentioned process.

[0066] direction of the property first shown also with the same gate voltage 401 when both transistor characteristics are compared 2-4 a near digit -- it can check that the large ON state current flows. In addition, the ON state current points out the thing of a drain current which flows when TFT is in an ON state (gate voltage [ Setting to drawing 4 . ] about 0-5 range which is V).

[0067] Moreover, it can also check having the subthreshold level property that the direction of the property shown by 401 was excellent.  $I_d$ - $V_g$  at the time of a subthreshold level property being a parameter which shows the steepness of the switching operation of TFT, and TFT switching to an ON state from an OFF state It can be said that a subthreshold level property is good, so that a curved standup is steep.

[0068] In addition, the following thing can be checked if typical electric measurement data compares TFT of this invention, and the conventional TFT.

(1) The subthreshold level multiplier of the property shown by 401 to the subthreshold level multiplier of the property shown by 402 being before and after 350 mV/decade is as small as 80 mV/decade order. TFT with this smaller value is excellent in the switching engine performance.

(2) Electric field effect mobility is 250cm<sup>2</sup>/Vs at the property shown by 401 to being before and after 80cm<sup>2</sup>/Vs in the property shown by 402. It is as large as order. RF actuation is quick, namely, more possible for TFT with larger electric field effect mobility.

[0069] As mentioned above, TFT of this invention has the switching characteristic and the high-speed operation property of having excelled extremely, and the high-speed operation which is sufficient for forming the logical circuit 105 as shown in drawing 1 is possible. That is, in order to realize a active-matrix display as shown in drawing 1 which systematized the high frequency actuation circuit and the low frequency actuation circuit, TFT of this invention which can respond to a broad drive frequency field is required.

[0070] Moreover, the above TFT(s) have the description that the difference of an electrical property is very small, with the N channel mold TFT and the P channel mold TFT. For example, according to the result which this invention persons made as an experiment actually, and measured, a threshold electrical potential difference is N type. - They are 0.5-1.5V, and P type. - 1.5-0.5V are obtained. Moreover, as for the subthreshold level multiplier (S value), 60 - 100 mV/decade (typically 60 - 85 mV/decade) is obtained for N type and P type. Moreover, N type averages and electric field effect mobility (micro FE) is 150-200cm<sup>2</sup>/Vs with 200-250cm<sup>2</sup>/Vs and P type. The value is acquired.

[0071] Thus, even if above-mentioned TFT which this invention persons invented has the almost equivalent engine performance with the N channel mold TFT and the P channel mold TFT and constitutes CMOS structure, it does not cause generating of malfunction or the lowering of working speed by the bias of the engine performance of operation. That is, a very high TFT property is utilizable as it is.

[0072] According to the measurement result of nine steps of ring oscillators which this invention person made as an experiment about this point using TFT of this invention, about 450MHz is recorded by supply voltage 3.3 V, and the oscillation frequency of about 540MHz is recorded by 5.0 V. These values mean that 20 to 30 times as many high-speed operation as this is realized as compared with NGUOSHIRETA constituted from conventional TFT made into the reference.

[0073] There is a point which should be noted in TFT of this invention here. In order to raise the working speed of TFT in the conventional example, when channel length was shortened, it was said that a TFT property deteriorates according to a short channel effect. However, as for TFT of above-mentioned this invention, it is checked that channel length is reliable TFT in assessment according [ with 2 micrometers, in spite of being short, have very high working speed and high drain pressure-proofing, and ] to an



accelerated test.

[0074] this invention persons guessed that the silicon thin film of this invention which becomes with a unique crystal structure object as the reason had controlled the short channel effect effectively from the reasons of the structure. In addition, short channel effects are generic names, such as lowering of the threshold electrical potential difference produced with reduction in channel length, degradation of drain pressure-proofing, and degradation of a subthreshold level property, and it originates in the punch-through phenomenon produced because the depletion layer by the side of a drain field spreads even to a source field fundamentally. the detail about a short channel effect -- " -- physics [ of a VLSI device ]; -- ; besides Mitsumasa Koyanagi -- Maruzen; -- it is good to refer to 1986."

[0075] Drawing which looked at near the barrier layer of TFT of this invention from the top face here is shown in drawing 5 (A). In drawing 5 (A), 501 is a barrier layer, 502 is a gate electrode, and a barrier layer 501 is constituted including two or more cylindrical crystals 503 and the grain boundary 504.

Moreover, a barrier layer 501 functions with the configuration of a source field / channel formation field / drain field.

[0076] Moreover, the arrow head shown by 505 shows the direction (outline a grain boundary 504 and parallel direction) to which a carrier moves, and defines it as the direction of channel length. Moreover, the arrow head shown by 506 is a direction (direction which carries out an outline rectangular cross to a grain boundary 504) vertical to the direction of channel length, and is defined as the channel width direction. Furthermore, channel length (L) and 508 are defined for 507 as channel width (W). In addition, although channel length 507 is mostly in agreement with the line breadth of the gate electrode 502, when there is a field which does not function as an electrode substantially like [ in case the oxide film on anode is formed in the front face of the gate electrode 502 ], it is not necessarily in agreement.

[0077] this invention persons thought the effect of the grain boundary 504 of drawing 5 (A) as important as a reason nil why the drain pressure-proofing of TFT by this invention is high. That is, in the channel formation field, the direction 505 of channel length and the energy barrier by the grain boundary 504 which exists in parallel mostly controlled the breadth of the depletion layer from a drain field effectively, and this invention persons surmised that generating of a punch-through phenomenon was prevented.

[0078] The situation is simplified and shown in drawing 5 (B). Drawing 5 (B) shows the sectional view which cut drawing 5 (A) in the direction of channel length. In drawing 5 (B), as for a source field and 510, as for a drain field and 511, 509 is [ a channel formation field and 512 ] gate dielectric film, and 513 shows the depletion layer. According to the guess of this invention persons, it is thought that the depletion layer shown by 513 has the progress to the cylindrical crystal 503 interior inhibited, and cannot trespass upon the interior of the channel formation field 511 (field shown by 514) with the energy barrier resulting from the grain boundary 504.

[0079] That is, since the breadth of a depletion layer can be controlled as the condition 507 using the conventional silicon thin film which the effect of a short channel effect actualizes, i.e., channel length, shows a very small submicron (0.01–2 micrometers) field to drawing 5 (B) if it becomes TFT, it is thought that a short channel effect can be controlled effectively.

[0080] Moreover, drawing 5 (C) shows the sectional view which cut drawing 5 (A) in the channel width direction. As shown in drawing 5 (C), the barrier layer 501 is constituted where two or more cylindrical crystals 503 are located in a line, and the channel formation field is formed because two or more genuineness cylindrical crystals 503 gather genuineness or substantially. That is, it can be considered that each of two or more cylindrical crystals 503 is a minute channel formation field with the crystal grain width of face d (shown by 515). Therefore, in each cylindrical crystal 503, this invention persons have guessed that a narrow channel effect arises.

[0081] By the way, a narrow channel effect is a phenomenon which the threshold electrical potential difference of TFT increases, when channel width becomes narrow, and with the silicon thin film of this invention, it is thought that lowering of the threshold electrical potential difference by the short channel effect is offset by the narrow channel effect produced in each of a thin cylindrical crystal.

[0082] On the whole, a threshold electrical potential difference increases in the high field of an energy barrier existing in the edge of a channel formation field, and this narrow channel effect is considered to be generated in the 2-way of a direction vertical to a level direction to a substrate in the case of a thin film. Therefore, a actual carrier moves preferentially in the low field of an energy barrier.

[0083] Moreover, the silicon thin film of this invention has the description of the behavior differing, namely, having an anisotropy on the grain boundary 504, the carrier which moves to parallel, and the carrier which moves vertically, about migration of a carrier. For example, it is dramatically effective that the direction to which a carrier moves, and the direction 505 of channel length carry out outline coincidence, when raising the electric field effect mobility of TFT. The following thing can be considered as the reason.

[0084] Although the electric field effect mobility of TFT is decided by dispersion of the carrier in the silicon film, it divides roughly and there are lattice scattering and impurity scattering. At this time, especially the effect of impurity scattering becomes dominant in the temperature requirement used in everyday life. This invention has the following advantages to this.

(1) Since the interior of the columnar crystal which a carrier moves is the field it can be considered substantially that is a single crystal and it is genuineness genuineness or substantially, you may think that the impurity which checks migration of a carrier does not exist.

(2) In the condition that it is shown in drawing 5 (A), since the direction to which the grain boundary 504 serves as an energy-obstruction and a carrier moves is mostly specified in the same direction as the direction where the cylindrical crystal 503 extends, the probability of dispersion by the collision of carriers is reduced.

[0085] Moreover, in (1), it means filling at least one of the following conditions as it is genuineness genuineness or substantially.

\*\* the activation energy of the silicon film -- about -- one half (a Fermi level -- a prohibition object -- mostly located in the center) it is .

\*\* It is the field where high impurity concentration is lower than spin density.

\*\* It is the field [ \*\*\*\*\* ] which has not added the impurity intentionally.

\*\* intrinsic (in thorin -- chic) -- it is a field.

[0086] For example, although TFT using the conventional silicon thin film has a common channel dope as a control means of a short channel effect, with this means, the high impurity concentration in a channel formation field will increase, migration of a carrier will be checked, and the working speed (electric field effect mobility) of TFT will get worse. However, as mentioned above, since TFT of this invention has the effectiveness which controls a short channel effect in the silicon thin film itself, it can form a genuineness channel formation field genuineness or substantially.

[0087] Moreover, since the grain boundary 504 serves as an energy barrier which checks migration of a carrier at reverse, the mobility of the carrier which moves in the direction (the channel width direction) which intersects perpendicularly with this will become very small.

[0088] Moreover, although it is thought possible to prevent a short channel effect by controlling the breadth of a drain side depletion layer as mentioned above, improvement in a subthreshold level property can also be desired with improvement in drain pressure-proofing by preventing a short channel effect. The improvement in a subthreshold level property can be explained as follows from inference that the volume which a drain side depletion layer occupies is reducible by using this configuration.

[0089] According to this invention persons' guess, the volume which a drain side depletion layer occupies is substantially reducible by the thing which were shown in drawing 5 (B) and for which the breadth of a depletion layer is effectively controlled like. Therefore, since a synthetic depletion-layer charge can be made small, it is thought that a depletion layer capacitance can be made small. Here, the formula which derives the subthreshold level multiplier S is expressed with the following approximation.

[0090]

[Equation 1]

$$S \doteq \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

[0091] Setting to several 1, for a Boltzmann's constant and T, absolute temperature and q are [ k ] the amount of charges, and C<sub>d</sub>. The equivalent capacity of interface state density and C<sub>ox</sub> of a depletion layer capacitance and C<sub>it</sub> are gate oxidation membrane capacitance. Therefore, by this configuration, it is a depletion layer capacitance C<sub>d</sub>. The ideal condition set to C<sub>d</sub> = C<sub>it</sub> = 0 by reaching and making small equivalent capacity C<sub>it</sub> of interface state density as much as possible, i.e., S value, is 60 mV/decade. Becoming TFT can be realized.

[0092] The above is exactly the guess which connected the electrical property of TFT actually made as an experiment using it to the silicon thin film which becomes with the unique crystal structure object which this invention persons acquired actually. However, experimental data is data and TFT using the conventional silicon thin film is as having said also in advance that it has completely different outstanding engine performance.

[0093] And it becomes possible to constitute the circuit which can respond to TFT which has an electrical property and effectiveness as taken by this example therefore high frequency actuation, and low frequency actuation on the same substrate, without requiring a special device like the conventional channel dope. That is, it became possible to constitute a active-matrix display as shown in drawing 1 from obtaining the silicon thin film shown in this example.

[0094] [an example 2] -- the active-matrix display shown in drawing 1 by this example -- the sectional view of the pixel TFT111 which constitutes the pixel matrix circuit 102 for the sectional view of the CMOS structure used as the basic structure for constituting the source line driver line 103 to kick, the gate line driver line 104, and a logical circuit 105 in drawing 6 (A), and the pixel field 110 is shown in drawing 6 (B). In addition, it does not pass over the structure shown by this example in the one example, and it does not limit this invention.

[0095] First, the CMOS structure combined complementary attaches the N channel mold TFT601 and the P channel mold TFT602, and they are explained. In addition, the N channel mold TFT601 and the P channel mold TFT602 are the same structures fundamentally.

[0096] For 603, in drawing 6 (A), a quartz substrate, and 604 and 606 is [ that of the P channel mold TFT of the source field of the N channel mold TFT and a drain field, and 605 and 607 ] a source field and a drain field, respectively. Moreover, the low concentration impurity range of a couple where 608 and 609 are arranged at the N channel mold TFT and the P channel mold TFT, respectively, and 610 and 611 are the channel formation fields of the N channel mold TFT and the P channel mold TFT, respectively.

[0097] Moreover, the precise oxide films on anode 616 and 617 which gate dielectric film, and 614 and 615 are gate electrodes, and 612 and 613 anodize a gate electrode in the top face and side face of the gate electrodes 614 and 615, and are obtained are formed.

[0098] Moreover, as for the 1st interlayer insulation film, and 619 and 620, 618 is [ a source line and 621 ] drain wires, and the 2nd interlayer insulation film 622, the 3rd interlayer insulation film 623, and the 4th interlayer insulation film 624 are formed on it.

[0099] Since the 2nd interlayer insulation film 622 serves as an insulator which constitutes auxiliary capacity in a pixel field at this time, it is desirable to constitute from a silicon nitride film, oxidation silicon film, or those cascade screens. Moreover, the 3rd interlayer insulation film 623 and 4th interlayer insulation film 624 aim at reduction and the flattening effectiveness of parasitic capacitance, and the possible organic nature resin ingredients (for example, polyimide, an acrylic, etc.) of specific inductive capacity of flattening are [ the interlayer insulation film ] easily desirable low.

[0100] Next, the pixel field 110 in drawing 1 and the cross-section structure of a pixel TFT111 are explained using drawing 6 (B). In addition, since the CMOS structure of drawing 6 (A) and the pixel TFT630 of drawing 6 (B) are really formed on the same substrate, the same layer is fundamentally formed with the same ingredient.

[0101] Moreover, this example shows the example at the time of adopting the triple gate mold TFT which has the configuration which connected substantially to three serials the N channel mold TFT constituted with one gate electrode as a pixel TFT.

[0102] For 631, as for a source field and 633, in drawing 6 (B), a drain field, and 634–636 are [ a quartz substrate and 632 ] channel formation fields. In addition, although the low concentration impurity range 637 of a couple is arranged in each ends of the channel formation fields 634–636, since the basic structures of the single gate mold TFT shown in drawing 6 (A) and the triple gate mold TFT shown in drawing 6 (B) of a barrier layer are the same, detailed explanation is omitted. Of course, the barrier layer shown in drawing 6 (B) is formed in the barrier layer and coincidence of the N channel mold TFT of drawing 6 (A).

[0103] Next, gate dielectric film is shown by 638–640, and it is formed simultaneously with the gate dielectric film 612 and 613 in drawing 6 (A). Moreover, it is the precise oxide film on anode which 641 anodizes a gate electrode, and 642 anodizes a gate electrode, and is formed, and although three gate electrodes 641 are visible to the existing appearance, it is the same wiring actually [ all ]. Moreover, the gate electrode 641 and an oxide film on anode 642 are formed simultaneously with the gate electrodes 614 and 615 in drawing 6 (A), and oxide films on anode 616 and 617, respectively.

[0104] Next, as for 643, the 1st interlayer insulation film and 644 are another source lines by which a source line and 645 adjoin connection wiring and 646 adjoins the source line 644. The source lines 644 and 646 and the connection wiring 645 consist of same layers as the source lines 619 and 620 in drawing 6 (A), and a drain wire 621. with the configuration of this example, the area of the auxiliary capacity which forms the connection wiring 651 for a long time as shown in drawing 6 (B), and is formed behind is earned (capacity is earned) -- him -- it carries out.

[0105] Moreover, 647 is the 2nd interlayer insulation film, 648 is the 3rd interlayer insulation film, and it is the layer formed simultaneously with the 2nd interlayer insulation film 622 in drawing 6 (A), and the 3rd interlayer insulation film 623, respectively. Moreover, the 3rd interlayer insulation film 648 is removed in the field shown by 649, and the black mask 650 is formed on it. Therefore, in the field shown by 649, the auxiliary capacity 651 which becomes by the laminated structure of the connection wiring 645, the 2nd interlayer insulation film 647, and the black mask 650 is formed.

[0106] If it is a configuration as shows the auxiliary capacity 651 to drawing 6 (B), since the capacitance (capacity) of auxiliary capacity will be decided with the 2nd interlayer insulation film 647, capacity can be earned by making thin using an ingredient with high specific inductive capacity, or thickness. For example, an insulator layer with specific inductive capacity high as the 2nd interlayer insulation film 647 is desirable. Moreover, the thickness of 100 – 300 \*\* is suitable for the thickness.

[0107] However, since it must leave only the 2nd interlayer insulation film 647 in the field shown by 649 for forming the auxiliary capacity 651 and the 3rd interlayer insulation film 648 must be removed, the 2nd and 3rd interlayer insulation film must be able to take the selectivity of etching, respectively. In such semantics, the cascade screen of the oxidation silicon film or the oxidation silicon film, and a silicon nitride film is effective as the 2nd interlayer insulation film 647.

[0108] Next, the black mask 650 is covered with the 4th interlayer insulation film 652, and the pixel electrode 653 is formed on it. At this time, the pixel electrode 653 is electrically connected with the drain field 633 through the connection wiring 645. For this reason, it can be considered that the auxiliary capacity 651 is the capacity connected to the serial to the pixel electrode 653. In addition, the 4th interlayer insulation film 652 is the same layer as the 4th interlayer insulation film 624 in drawing 6 (A).

[0109] The substrate shown by 654 is an opposite substrate which formed the counterelectrode 655, the liquid crystal layer 656 is pinched by sticking the active-matrix substrate 631 and the opposite substrate 654, and the liquid crystal cell 112 in drawing 1 is formed.

[0110] Next, the plan of the pixel field 110 is explained using drawing 7 . In addition, although the layers above the pixel electrode 714 (a liquid crystal layer, opposite substrate, etc.) are not illustrated in drawing 7 , the sectional view cut by the dotted line fundamentally shown by A–A' is equivalent to

drawing 6 R> 6 (B).

[0111] As for a barrier layer, and 703 and 704, in drawing 7 , a gate line, and 705 and 706 are [ 701 and 702 ] source lines. The field which has been arranged so that two or more source lines and gate wiring may intersect perpendicularly actually, and has been arranged in the shape of [ which were surrounded by the source line and the gate line / two or more ] a matrix functions as a pixel field 110 in drawing 1 . Moreover, the gate wiring 704 is equivalent to the gate electrode 641 of drawing 6 (B), and the source lines 705 and 706 are equivalent to the source lines 644 and 646 of drawing 6 (B), respectively.

[0112] Moreover, in the upper part of a barrier layer 702, the gate line 704 is overlapped in three places. That is, the triple gate mold TFT used as the structure same with having connected three pixels TFT to the serial is constituted. Of course, although the example of the triple gate mold TFT was shown as an example here, you may be the single gate mold TFT.

[0113] Moreover, it is also possible to arrange the gate wiring 705 and 706 in a lower layer, and to make it into structure like the reverse stagger mold TFT rather than barrier layers 701 and 702. In that case, it is desirable to use a heat-resistant high ingredient like the polish recon film as a gate electrode so that it can be equal also to heat-treatment like drawing 2 (E) performed in the production process of a silicon thin film.

[0114] Next, as for the contact section of a barrier layer 702 (source field 632) and the source line 705, and 708, 707 is [ the contact section of a barrier layer 702 (drain field 633) and the connection wiring 709 and 710 ] the contact sections of the connection wiring 709 and the pixel electrode 711. The connection wiring 709 is equivalent to the connection wiring 645 in drawing 6 (B).

[0115] The field shown with the slash of 712 is a black mask shown by 650 in drawing 6 (B), and as it covers barrier layer 701 and 702, gate wiring 703 and 704, source line 705, and 706 top, it is formed. Moreover, the black mask 712 is superimposed on the connection wiring 709 in the field (field shown by 649 in drawing 6 R> 6 (B)) shown by 713, and forms auxiliary capacity between the connection wiring 709.

[0116] Moreover, on the black mask 712, the pixel electrode 711 (it is equivalent to the pixel electrode 653 of drawing 6 (B)) is arranged through the 2nd interlayer insulation film 652. The pixel electrode 714 is considered as the configuration by which the deep pool part is surely shaded with the black mask 712, and serves as an image display field in which the field shown by 714 which is not superimposed on the black mask 712 forms an image. In addition, actually, as shown on the pixel electrode 711 at drawing 6 (B), the liquid crystal cell 112 which the opposite substrate 654, a counterelectrode 655, and the liquid crystal layer 656 are arranged, and is shown in drawing 1 is constituted.

[0117] Next, the making process for forming the pixel field shown in the CMOS structure and drawing 6 (B) which were shown in drawing 6 (A) on the same substrate is explained using drawing 8 and drawing 9 . In addition, in order to clarify response relation, the sign used by explanation of drawing 6 (A) and drawing 6 R> 6 (B) is used if needed.

[0118] First, the 1st insulator layer 805 which serves as a pattern of the gate dielectric film of the barrier layers 802-804 and Ushiro who become with the silicon thin film of this invention according to the process shown in the example 1 is formed on the quartz substrate 801. At this time, the barrier layer of the N channel mold TFT601 and 803 become the barrier layer of the P channel mold TFT602, and 603 becomes [ 802 ] the barrier layer of a pixel TFT630. ( Drawing 8 (A) )

[0119] A process until it results [ from formation of the gate electrode indicated below ] in an ion implantation is based on a technique given [ by this invention persons ] in JP,7-135318,A. Therefore, detailed conditions etc. are good to refer to this official report.

[0120] After forming the pattern which becomes with the ingredient which uses aluminum as a principal component above barrier layers 802-804, porous oxide films on anode 806-808 and precise oxide films on anode 616, 617, and 642 are formed by two anodic oxidation. Moreover, the gate electrodes 614, 615, and 641 demarcate after an anodic oxidation process. Moreover, as mentioned above, since a pixel TFT630 is the triple gate mold TFT of a configuration like drawing 7 , the gate electrode 641, the porous



oxide film on anode 808, and the precise oxide film on anode 642 are common to all three patterns illustrated.

[0121] In this way, if the condition which shows in drawing 8 (B) is acquired, dry etching of the 1st insulator layer 805 will be performed by using a gate electrode and a porous anodized film as a mask, and gate dielectric film 612, 613, 638–640 will be formed.

[0122] And the porous oxide films on anode 806–808 are removed, and a high acceleration P ion implantation and a low acceleration P ion implantation are performed. The source field 604 of the N channel mold TFT601, the drain field 606, the low concentration impurity range (called a LDD field) 608, and the channel formation field 610 are formed of this process. Moreover, the source field 632 of a pixel TFT630 (N channel mold), the drain field 633, the low concentration impurity range 637, and the channel formation fields 634–636 are formed.

[0123] In addition, P ion is added by the barrier layer of this time P channel mold TFT602, and the above-mentioned source field 604, the drain field 606, the fields 809 and 810 containing P ion of this concentration and the above-mentioned low concentration impurity range 608, and the field 811 containing P ion of this concentration are formed.

[0124] Next, the resist mask 812 is formed so that only the P channel mold TFT602 may be exposed, and a high acceleration B ion implantation and a low acceleration B ion implantation are performed. Of this process, the fields 809–811 containing P ion in drawing 8 (C) are altogether reversed to P type, and the source field 605 of the P channel mold TFT602, the drain field 607, the low concentration impurity range 609, and the channel formation field 611 are formed. ( Drawing 8 (D))

[0125] If the above ion-implantation processes are used, the barrier layer of the N channel mold TFT and the barrier layer of the P channel mold TFT can be formed on the same substrate only at 1 time of a patterning process. Since it uses especially combining a technique given in JP,7-135318,A by this example, a low concentration impurity range can be easily formed without needing a special process which forms a sidewall.

[0126] Moreover, after an ion-implantation process, crystalline restoration of the barrier layer confused by the activation and the ion implantation of impurity ion which were added is performed. What is necessary is just to use heating means, such as furnace annealing, laser annealing, and lamp annealing, as an activation means.

[0127] Next, after forming the oxidation silicon film as the 1st interlayer insulation film 618 (or 643) and forming a contact hole, the source lines 619, 620, 644, and 646 and a drain wire 621, and the connection wiring 645 are formed. Then, a cascade screen is formed as the 2nd interlayer insulation film 622 (or 647) in order of the silicon nitride film of 500 \*\* thickness, and the oxidation silicon film of 250 \*\* thickness.

[0128] Furthermore, it is polyimide as the 3rd interlayer insulation film 623 (or 648). 0.5–3 It forms in the thickness of  $\mu\text{m}$  (preferably 1–1.5  $\mu\text{m}$ ). Moreover, opening for forming auxiliary capacity is prepared in the field shown by 649 in the 3rd interlayer insulation film 623. What is necessary is just to perform formation of opening by the dry etching method. At this time, the oxidization silicon film of the 2nd interlayer insulation film 622 functions as an etching stopper of polyimide. ( Drawing 9 (A))

[0129] Next, the titanium film is formed in the thickness of 2000A as a black mask 650, and the auxiliary capacity 651 is formed simultaneously. Furthermore, it is polyimide as the 4th interlayer insulation film 624 (or 652). 0.5–3 Membranes are formed in the thickness of  $\mu\text{m}$  (preferably 1–1.5  $\mu\text{m}$ ). And after forming a contact hole, the pixel electrode 653 which becomes by the transparence electric conduction film is formed.

[0130] Thus, it is an important element in this invention to form the 3rd interlayer insulation film 623 and 4th interlayer insulation film 624 with organic nature resin ingredients (typically polyimide, an acrylic, a polyamide, polyimidoamide, etc.). The biggest description of an organic nature resin ingredient is a thing with low (2.0 –3.4 extent) specific inductive capacity, and, thereby, can reduce the parasitic capacitance during wiring substantially. That is, in case the circuit which needs RF actuation, such as a logical circuit,

is constituted, lowering of working speed can be controlled effectively.

[0131] It hydrogenates by heat-treating the obtained whole TFT in a hydrogen ambient atmosphere at the end, and reduction of the dangling bond in a barrier layer is aimed at. In this way, the active-matrix display on which CMOS structure and Pixel TFT as shown in drawing 9 (B) were really formed on the same substrate is completed. In addition, it is effective to cover completed TFT by passivation film, such as a silicon nitride film, when preventing degradation of TFT with the passage of time.

[0132] [Example 3] In constituting the active-matrix display shown in drawing 1 in the example 1, it said that the silicon thin film which this invention persons invented is required, and the example 2 explained the making process to the CMOS structure and the pixel TFT structure list which consist of TFT(s) which used the silicon thin film actually.

[0133] This example explains the configuration for acquiring the circuit property optimal according to an application (according to circuitry) on a active-matrix display as shown in drawing 1 supposing the case where TFT of this invention is arranged.

[0134] The fundamental main point of this example is to optimize the structure of TFT which constitutes a circuit like where the optimal property or an indispensable property is acquired for every logic, based on the actuation capacity needed for every logical circuit differing. A means for that is explained supposing the case where the active matrix liquid crystal display corresponding to VGA (640x480 pixel) shown with a block diagram as shown in drawing 10 (A) is constituted.

[0135] drawing 10 (A) -- setting -- 11 -- for the shift register for horizontal scannings, and 14, as for the oscillator for vertical scannings, and 16, the shift register for vertical scannings, and 17 and 18 are [ a pixel matrix circuit and 12 / the oscillator for horizontal scannings, and 13 / a D/A converter and 15 ] buffers. Here, since it is considering as circuitry bearing digital actuation in mind, a latch circuit is contained in the shift register 13 for horizontal scannings. Moreover, for a phase comparator (a low pass filter is included) and 20, as for a counting-down circuit and 22, a voltage-controlled oscillator and 21 are [ 19 / an arithmetic circuit and 23 ] memory circuits. Moreover, a bit signal (digital signal) for a horizontal and a Vertical Synchronizing signal, and 25 to choose the analog signal for a gradation display, and for 24 choose an analog signal 25, as for 26 and 27 are picture signals sent from the outside.

[0136] In addition, what is necessary is to include the oscillator 12 for horizontal scannings in drawing 10 R> 0 (A), A/D converter 14, the oscillator 15 for vertical scannings, a phase comparator 19, the voltage-controlled oscillator 20, a counting-down circuit 21, an arithmetic circuit 22, and all the circuits of memory circuit 23 grade in a logical circuit 105, and just to form in it by suitable arrangement in the active-matrix display shown by drawing 1 , if needed.

[0137] In a block diagram as shown in drawing 10 (A), the engine performance (property) from which the electrical circuit (a pixel matrix circuit, a driver line, and logical circuit) which has each function differs by the function is required. In order that especially a logical circuit may perform processing conventionally performed by IC by TFT, drive frequencies (clock frequency for driving the circuit etc.) are required to a very high thing.

[0138] Although it can say that it is fundamentally better as drive frequency is quick, it will be the requisite that the maximum drive frequency uses TFT which was explained in the example 1 and in which high-speed actuation is possible since the engine performance of each TFT which constitutes a circuit influences greatly.

[0139] For example, in the case of VGA, a horizontal, Vertical Synchronizing signal 24, and a clock signal are about 25MHz. That is, as a clock frequency which drives the shift register 13 for horizontal scannings, and the shift register 16 for vertical scannings in order to reproduce a picture signal on a display faithfully, 25MHz about 50MHz is preferably required also by minimum. Therefore, the drive frequency of 50MHz (0.05GHz) extent is altogether needed also for D/A converter 14 which receives a source signal and a gate signal from each shift registers 13 and 16, buffers 17 and 18, and the pixel matrix circuit 11.

[0140] Moreover, the high drive frequency whose oscillator 12 for horizontal scannings and oscillator 15

for vertical scannings which oscillate the clock signal which synchronized with level and Vertical Synchronizing signal 24 to each shift registers 13 and 16 are 0.1 – 0.5 GHz extent since shift registers several times the drive frequency of 13 and 16 are needed may be needed.

[0141] Furthermore, the function for amending the phase contrast of this clock signal, and level and a Vertical Synchronizing signal 24, and synchronizing it is performed by a phase comparator 19, the voltage-controlled oscillator 20, and the counting-down circuit 21. Therefore, the drive frequency of 0.1 – 0.5 GHz extent is needed also for each of a phase comparator 19, the voltage-controlled oscillator 20, and a counting-down circuit 21.

[0142] Moreover, when considering as the configuration which is shown in the block diagram of drawing 10 (A) and which oscillates level and Vertical Synchronizing signal 24, and an analog signal 25 in an arithmetic circuit 22 like, very high drive frequency (0.2 – 2 GHz) is required of an arithmetic circuit 22, and it sells to it. In order for the memory circuit 23 for memorizing the picture signal temporarily to it and coincidence to also perform information on an arithmetic circuit 22 at a high speed, 0.2 – 2 GHz thing drive frequency is needed.

[0143] As mentioned above, in order to form circuitry as shown with the block diagram of drawing 10 on the same substrate, TFT which can respond to a very broad drive frequency region must be realized. But in the case of this invention, a desired frequency can be obtained by channel length's control using the frequency characteristics of each TFT increasing in proportion to the inverse number of the square of channel length  $L$  theoretically.

[0144] Of course, since the silicon thin film used for this invention can control a short channel effect, without using the channel doping method according to the unique crystal structure, the description that desired drive frequency can be obtained only by changing channel length is acquired.

[0145] By the way, if improvement in frequency characteristics is aimed at by making channel length ( $L$ ) small, drain pressure-proofing of TFT will pose a problem by one side. This problem is solvable by weakening the electric field built near the drain. In such a case, in order to secure drain pressure-proofing, carrying out RF actuation, it is desirable to reduce the burden which lowers operating voltage (supply voltage:  $V_{DD}$ ), and starts drain junction. For that purpose, it will be necessary to lower a threshold electrical potential difference.

[0146] Although lowering of the threshold electrical potential difference by the short channel effect was conventionally controlled by the channel dope, in TFT of this invention, each other is offset by the narrow channel effect produced in a silicon thin film. Therefore, a threshold electrical potential difference is easily controllable by making thickness of gate dielectric film thin.

[0147] in that case, the approach of carrying out the laminating of the control of the thickness of gate dielectric film selectively using a mask -- being the so-called -- LOCOS -- what is necessary is just to use the approach of oxidizing a silicon thin film selectively using a mask like law etc.

[0148] Therefore, it becomes possible to make actuation with desired drive frequency and operating voltage perform by changing the thickness ( $T$ ) of channel length ( $L$ ) and gate dielectric film according to a required circuit. However, it is possible and the configuration of such this example is very difficult to carry [ TFT of this invention shown in the example 1, therefore ] out this configuration in response to the effect of a short channel effect in the conventional TFT.

[0149] Moreover, since power consumption increases in proportion to the square of operating voltage ( $V_{DD}$ ), the low thing of operating voltage is fundamentally desirable [ in order to perform a suitable circuit design, it is required to also take into consideration the operating voltage needed not only in drive frequency, but ].

[0150] However, in order that the pixel TFT which constitutes the pixel matrix circuit 11 in drawing 10 (A) may take into consideration the threshold electrical potential difference (it is  $\sim 5V$  with  $TN$  ingredient) of a liquid crystal ingredient, and the own threshold electrical potential difference (a margin is seen and it is  $\sim 2-3 V$ ) of pixel TFT, in the actual condition, about [ 14–16V ] operating voltage is needed.

[0151] Therefore, in drawing 10 (A), 14 – 16V order is needed in the pixel matrix circuit 11, shift registers 13 and 16, D/A converter 14, a buffer 17, and 18 grades. Moreover, although not illustrated in the block diagram of drawing 10 (A), if a level shifter is in front of a buffer, the operating voltage will also be made into 14 – 16V order.

[0152] As mentioned above, in the present liquid crystal display, there is mainly constraint of a liquid crystal ingredient, and the operating voltage of the circumference of a pixel matrix circuit is about 14–16V in many cases. Then, since the circuit which has about operating voltage 14–16V and the engine performance of 50MHz of drive frequencies is constituted from this example, CMOS structure as shown in drawing 10 (B) is adopted.

[0153] Drawing 10 (B) is the CMOS structure explained by drawing 6 (A), and omits the detailed explanation about structure here. In drawing 10 (B), the channel length (L1) 28 of TFT and the thickness (T1) 29 of gate dielectric film are important. In addition, with the channel length who says here, it is equivalent to the die length of a channel formation field, i.e., the line breadth of the gate electrode which may function as an electrode substantially. Therefore, the die length of an offset field, a LDD field, etc. is not contained in channel length.

[0154] Since drive frequency is about 50MHz in the case of the circuit which should use the structure of drawing 10 (B), in TFT of this invention, channel length (L1) 28 is. 1.5–2.5 (typically 2  $\mu\text{m}$ ) are enough. Moreover, operating voltage raises drain pressure–proofing by forming the thickness (T1) of gate dielectric film with 14–16V, somewhat as more thickly as 1000–2000Å (typically 1200Å), since it is high.

[0155] In addition, this invention persons are calling TFT with the need of driving in the high operating voltage field exceeding 10V as shown in drawing 10 (B) the high proof–pressure actuation mold TFT (or low frequency actuation mold TFT). As for the high proof–pressure actuation mold TFT, it is desirable to make thickness of gate dielectric film into 1000Å or more.

[0156] In addition, TFT of this invention is about shift registers 13 and 16 and D/A converter 14 in using the pixel TFT of a triple gate mold \*\*\*\*, although operating satisfactory also by 16V actuation is confirmed experimentally. As for performing the device which gives allowances to drain pressure–proofing of TFT, it is effective in improvement in dependability, or reduction of power consumption to make it drive by 9–10V etc. Moreover, TFT made to drive by 9–10V is the thickness of gate dielectric film. Drive frequency can also be raised more by considering as 700–1000Å (typically 800 \*\*) extent.

[0157] Next, they are these circuits although it is about the case of the oscillator 12 for horizontal scanings, the oscillator 15 for vertical scanings, a phase comparator 19, the voltage–controlled oscillator 20, and a counting–down circuit 21. Since the drive frequency of 0.1 – 0.5 GHz extent is needed, CMOS structure as shown in drawing 10 (C) is adopted.

[0158] The description of the CMOS structure shown in drawing 10 (C) is for channel length (L2) 30 to have become small, and for the thickness (T2) 31 of gate dielectric film have become thin rather than the CMOS structure shown in drawing 10 (B). That is, the device dimension is smaller on the whole than the structure of drawing 10 (B).

[0159] The case of TFT of this invention, in order to realize drive frequency of 0.1 – 0.5 GHz extent, it is about channel length (L2) 30. 0.5–1.0  $\mu\text{m}$  What is necessary is just to form in the submicron field of  $\mu\text{m}$  (typically 0.7  $\mu\text{m}$ ). Moreover, since drain pressure–proofing poses a problem with improvement in drive frequency as mentioned above, it is about the thickness (T2) 31 of gate dielectric film. Operating voltage is lowered to about 5V by considering as 400–600 \*\* (typically 500 \*\*).

[0160] Next, an arithmetic circuit 22 and a memory circuit 23 Since the very high drive frequency of 0.2 – 2 GHz extent may be needed, CMOS structure as shown in drawing 10 (D) is adopted. Channel length (L3) 32 is made detailed by even the deep submicron field, and the CMOS structure shown in drawing 10 (D) becomes very thin [ thickness (T3) 33 of gate dielectric film ].

[0161] The case of TFT of this invention, in order to realize drive frequency of 0.2 – 2 GHz extent, it is about channel length (L3) 32. 0.1–0.5  $\mu\text{m}$  It is referred to as  $\mu\text{m}$  (typically 0.35 micrometers), and is about thickness (T3) 33 of gate dielectric film. Operating voltage can be reduced even to 3.3 V by considering

as 200–400 \*\* (typically 300 \*\*).

[0162] in addition, more than 0.1 GHz as shown in drawing 10 (C) and (D) -- a thing -- this invention persons are calling TFT driven in a high drive frequency field the RF actuation mold TFT. As for the RF actuation mold TFT, it is desirable to make thickness of gate dielectric film below into 500 \*\*.

[0163] As mentioned above, it becomes possible to realize the minimum frequency characteristics which a circuit requires by differing the channel length (L) of TFT, and the thickness (T) of gate dielectric film if needed, and the systematized active-matrix display which formed various logical circuits on the same substrate by it can be realized.

[0164] Moreover, since it is possible to also reduce operating voltage at the same time it makes drive frequency increase, it is also possible to constitute a active-matrix display with dramatically low power consumption. Moreover, driving an electrical circuit like a logical circuit by 5V (or 3.3 V) has the advantage that the compatibility of close and the output of a signal is good, when it is necessary to combine with IC chip usually driven by 5V (or 3.3 V).

[0165] It sets to this example and he is channel length (L). 0.1–2 It chooses from the range of mum suitably, and is the thickness of gate dielectric film (T). Although the example suitably chosen from the range of 200–1500A was shown, it does not pass over the concrete numeric value shown in this example to what shows one example of this invention, and it is not limited to this.

[0166] A point important about this example is in the point that the active-matrix display which is that the RF actuation mold TFT and the high proof-pressure actuation mold TFT may exist simultaneously on the same substrate, consequently carried the pixel matrix circuit, the driver line, and the logical circuit on the same substrate is realizable.

[0167] From now on, the further detailed-ization of device size progresses and it can expect easily that the circuit which needs high-speed operation increases. the minimum of the selection range of channel length (L) in this invention becomes less than [ 0.01 micrometers or it ] then -- will come out and I will be -- it carries out and it is thought that the minimum of the selection range of the thickness (T) of gate dielectric film becomes less than [ 50A or it ]. this invention persons also assume possibility that the logical circuit which performs ultrahigh frequency actuation of 2GHz or more by TFT of this invention will be formed, and think in the future that this invention serves as a still more effective technique in such a case.

[0168] [Example 4] In this example, easy explanation about the circuitry of the various logical circuits using TFT of this invention is given. Before explaining taking the case of the active-matrix display shown in drawing 1 , the configuration of a basic inverter etc. is explained using drawing 11 .

[0169] First, drawing 11 (A) is an inverter circuit and consists of CMOS structures which combined the P channel mold TFT41 and the N channel mold TFT42 complementary. The circuit notation of an inverter circuit is expressed like 43.

[0170] Drawing 11 (B) is a clocked inverter and consists of a P channel mold 44 and TFT 45 and an N channel mold 46 and TFT 47. In this case, clock signal CL is inputted into the gate electrode of the N channel mold 46 and TFT 47, and reversed clock signal CL' is inputted into the gate electrode of the P channel mold 44 and TFT 45. The circuit notation of a clocked inverter is expressed like 48. Moreover, if the clock signal inputted into the N channel mold TFT and the P channel mold TFT is replaced, when the clocked inverter 44 shown in drawing 11 (B) is an ON state, it will become the clocked inverter of reversed polarity which will be in an OFF state.

[0171] The circuit shown in drawing 11 (C) is an analog switch, it consists of an inverter 49, an N channel mold TFT50, and a P channel mold TFT51, and clock signal CL' which clock signal CL reversed in the P channel mold TFT52 is inputted into the N channel mold TFT50. The circuit notation of an analog switch is expressed like 52. This analog switch has the same function as the clocked inverter shown in drawing 11 (B). Of course, the polarity (ON/OFF actuation) of an analog switch can be made into reverse by switching the polarity of the clock signal to input.

[0172] It is the NAND circuit which is shown in drawing 11 (D), and consists of a P channel mold 53 and



TFT 54 and an N channel mold 55 and TFT 56. The circuit notation of a NAND circuit is expressed like 57. Moreover, it is the NOR circuit which is shown in drawing 11 (E), and consists of a P channel mold 58 and TFT 59 and an N channel mold 60 and TFT 61. The circuit notation of a NOR circuit is expressed like 62. The NAND circuit shown in drawing 11 (D) outputs the reversal signal of the AND of an input signal, and the NOR circuit shown in drawing 11 (E) outputs the reversal signal of the OR of an input signal.

[0173] Next, in the active-matrix display of drawing 1, an example of the shift register for horizontal scannings contained in the source line driver line 103 and the basic structure of a latch circuit is briefly explained using drawing 12. Of course, the configuration of a shift register and a latch is not limited to this, and even if it uses the bidirectional shift register which operates even if it replaces the travelling direction of a signal, it is not cared about.

[0174] First, drawing 12 (A) shows the shift register circuit. Fundamentally, the combination of two or more steps of inverters 63 and clocked inverters 64 and 65 stands in a row in a serial, and a shift register circuit is constituted. At this time, the structure of an inverter 63 shows the structure of drawing 11 (A) and a clocked inverter 64 to drawing 11 (B). In addition, when a clocked inverter 65 has a clocked inverter 64 in an ON state, the reversed clock signal is inputted so that it may be in an OFF state. Moreover, an analog switch as shown in drawing 11 (C) instead of a clocked inverter 64 may be used.

[0175] moreover, \*\* with which \*\* output signal does not lap since it has composition which takes and outputs an AND in NAND circuit 66 as shown in drawing 11 (D) with the configuration shown in this example in the output signal of eye N stage and eye a stage (N+1) (a pulse edge becomes steep) -- the advantage of \*\* which can operate by twice as many drive frequency as this substantially can be acquired.

[0176] Next, the signal a outputted from the shift register circuit is divided into signal a' reversed with Signal a using the inverter 67, and progresses to the latch circuit shown by drawing 12 (B). And Signal a and reversed signal a' are inputted as the 1st step of latch's 69 clock signal connected two or more bit signal lines 68 of every. In addition, it is a bit signal line N book, then N2 The image display of gradation is possible.

[0177] Next, if clock signal b and b' inputs into the 2nd step of latch 70, the signals which the latch 69 of plurality (N individual) held will progress to the latch 70 of N individual all at once. And the signal which progressed to the latch 70 uses an inverter 71, and is a signal c1 and d1. And it is divided into signal c1' and d1' which were reversed. In addition, although the line sequential color TV system is made into the example here, actuation fundamental also at a line sequential color TV system is the same.

[0178] In this way, the bit signal (c1 c1, d1 .., and ', d1 '..) outputted from the latch circuit progresses to the D/A converter shown in drawing 12 R> 2 (C). As for an analog switch 72 (refer to drawing 11 (C)), it is connected to a serial in the D/A converter shown in drawing 12 (C), the number and the same number, i.e., N individual, of the bit signal line 68. And the train 74 which becomes with the analog switch of the N individual is the number of the analog signal line 73, and the same number, N2 [ i.e., ]. Only the book is connected to juxtaposition with the list and the analog signal line which is predetermined respectively.

[0179] The D/A converter of this example is N2 by combining two or more analog switches 72. It has composition which takes out a gradation signal from the analog signal line 73 of a book selectively. The principle of operation is explained briefly below.

[0180] first, 1st bit line from -- a bit signal (c1 and c1') is taken for an example. The bit signal sent from the latch circuit of drawing 12 (B) is N2 located in a line with the maximum upper case (the 1st step) in drawing 12 (C). It is inputted as a clock signal to all the analog switches of an individual. And N2 It is designed so that it will be in an ON state with regularity with some of the analog switches of an individual and the remainder may be in an OFF state.

[0181] The 2nd step of analog switch will also make a clock signal the bit signal from 2nd bit line (d and d') as mentioned above, and it will be in an ON state or an OFF state. At this time, ON/OFF state is

designed so that it may have regularity which is different in the 1st step.

[0182] The above designs are made and the 3rd step or subsequent ones is N2 eventually. Only any 1 train of the train 74 with which only the book was located in a line is designed so that the analog switches of all N individuals may surely be in an ON state. Thus, N2 It is designed by the appearance as which only one analog signal line is always chosen among the analog signal lines of a book.

[0183] Next, an example of the circuitry of the phase comparator 114 arranged at the active-matrix display of drawing 1, LPF (low pass filter) 115, the voltage-controlled oscillator 116, and a counting-down circuit 117 is shown in drawing 13.

[0184] It is the phase comparator 114 which is shown in drawing 13 (A), and is constituted combining the inverter 76 (refer to drawing 11 (A)) of four NAND circuits [ 75 (refer to drawing 11 (D)) or 2 ]. Moreover, LPF115 consists of the resistance 77 and capacity 78 which are connected to the output terminal of a phase comparator 114.

[0185] It is the voltage-controlled oscillator 116 which is shown in drawing 13 (B), and is constituted combining an inverter 79, the NNAD circuit 80, NOR circuit 81 (refer to drawing 11 (E)), the P channel mold TFT82, and the N channel mold TFT83. In addition, 84 is a circuit which constitutes a constant current source.

[0186] It is the counting-down circuit 117 which is shown in drawing 13 (C), and the T-F/F (toggle flip flop) circuit 85 is connected to a serial, and it is constituted. What is necessary is just to set up the number to connect suitably by to what extent dividing is carried out. In addition, the T-F/F circuit 85 forms and constitutes a loop formation from clocked inverters 86 and 87 and an inverter 88. Since clocked inverters 86 and 87 and an inverter 88 were already explained to the detail, it omits.

[0187] In the above, this example explained the circuitry included in the active-matrix display of drawing 1. However, it is possible to constitute various logical circuits from combining the circuit used as bases as shown in drawing 11 (A) – (B), and still more complicated circuitry can be performed.

[0188] [Example 5] This example explains the example in the case of forming CMOS structure with a different making process from what was explained using drawing 8 and drawing 9. In addition, explanation in this example is given only paying attention to CMO structure using drawing 14.

[0189] First, barrier layers 1402 and 1403 are formed on the quartz substrate 1401. And after forming the oxidation silicon film (next gate dielectric film) 1404, the gettering process (heat-treatment in the ambient atmosphere containing a halogen) of a catalyst element is performed, and conversion is carried out to the silicon thin film which uses barrier layers 1402 and 1403 for this invention. So far, according to the process shown in the example 1, it is producible.

[0190] Next, the pattern (not shown) which becomes with the ingredient which uses aluminum as a principal component is formed on a barrier layer 1402 and 1403, after that, it anodizes in the ethylene glycol solution containing 3% of tartaric acid, and the precise oxide films on anode 1405 and 1406 are formed. Moreover, the gate electrodes 1407 and 1408 demarcate here.

[0191] In this way, if the condition of drawing 14 (A) is acquired, the impurity ion which gives 1 conductivity to barrier layers 1402 and 1403 in this condition next will be poured in. In addition, this ion-implantation process is performed so that P ion may be added in the N channel mold TFT and it may add B ion in the P channel mold TFT using a resist mask. And the N type impurity ranges 1409 and 1410 and the P type impurity ranges 1411 and 1412 are formed of this ion-implantation process.

[0192] When impregnation of impurity ion is completed, it is about a silicon nitride film 1413. 0.5–1 Membranes are formed in the thickness of  $\mu\text{m}$ . The membrane formation approaches may be any of a reduced pressure heat CVD method, a plasma-CVD method, and a spatter. Moreover, the oxidation silicon film may be used in addition to a silicon nitride film.

[0193] In this way, the condition of drawing 14 (B) is acquired. When the condition of drawing 14 (B) is acquired, next, a silicon nitride film 1413 is etched by the etchback method, and only the side attachment wall of the gate electrodes 1407 and 1408 is made to remain. Sidewalls 1414 and 1415 are formed in the side attachment wall of the gate electrodes 1407 and 1408 of this process.

[0194] Next, the oxidation silicon film 1404 is etched by the dry etching method by using sidewalls 1414 and 1415 and the gate electrodes 1407 and 1408 as a mask. Of this process, gate dielectric film 1416 and 1417 is formed in the condition that it is shown in drawing 14 (C).

[0195] And impurity ion is again poured in in the condition which shows in drawing 14 (C). The N channel mold TFT and the P channel mold TFT are had good control of striking in any direction like [ this ion-implantation process ] a previous ion-implantation process. Moreover, the dose presupposes that it is higher than the dose of a previous ion implantation at this time.

[0196] Since, as for a sidewall 1414 and the fields 1418–1421 of 1415 directly under, an ion implantation is not performed in the case of this ion implantation, it is changeless to the concentration of impurity ion. However, the impurity ion of further high concentration [ fields / 1422–1425 / which were exposed ] will be poured in.

[0197] The source field 1422 of the N channel mold TFT, the drain field 1423, the low concentration impurity ranges 1418 and 1419, the channel formation field 1426 and the source field 1425 of the P channel mold TFT, the drain field 1424, the low concentration impurity ranges 1420 and 1421, and the channel formation field 1427 are formed through the 2nd above ion implantation. ( Drawing 14 (C) )

[0198] When the condition of drawing 14 (C) is acquired through the above process, the tungsten film which the thickness of 300 \*\* does not illustrate is formed, and the tungsten film and the silicon film (barrier layer) are made to react. And after removing the tungsten film, tungsten silicide 1428–1431 is formed in the front face of the source fields 1422 and 1425 and the drain fields 1423 and 1424 by performing heat-treatment by lamp annealing etc. In addition, this process may use the tantalum film, the titanium film, the molybdenum film, etc. instead of the tungsten film.

[0199] Next, the oxidation silicon film is formed in thickness of 5000A as an interlayer insulation film 1432, and the source lines 1433 and 1434 and a drain wire 1435 are formed. Furthermore, the 2nd interlayer insulation film 1436, the 3rd interlayer insulation film 1437, and the 4th interlayer insulation film 1438 are formed in the process which forms a pixel matrix circuit. In this way, the CMOS structure shown in drawing 14 (D) is acquired.

[0200] If it is the structure (Salicide structure) where TFT is shown by this example, since the source / drain electrode will connect with the source / drain field through titanium silicide 1428–1431, good ohmic contact is realizable. Therefore, a load can constitute the small high circuit of drive frequency.

[0201] [Example 6] This example explains the example in the case of forming CMOS structure with a different making process from what was explained using drawing 8 , drawing 9 , and drawing 1414 .

Explanation uses drawing 15.

[0202] First, according to the making process shown in the example 1, the oxidation silicon film 15014 which turns into barrier layers 1502 and 1503 on the quartz substrate 1501, and turns into gate dielectric film behind is formed. And the gate electrodes 1505 and 1506 which become with the silicon thin film which gave 1 conductivity are formed on it. (Drawing 15 (A))

[0203] If the condition of drawing 15 (A) is acquired, the impurity ion which gives 1 conductivity to barrier layers 1502 and 1503 in this condition next will be poured in. In addition, an ion-implantation process adds selectively and performs P ion and B ion. And the N type impurity ranges 1507 and 1508 and the P type impurity ranges 1509 and 1510 are formed of this ion-implantation process.

[0204] If impregnation of impurity ion is completed, a silicon nitride film 1511 will be first formed at the same process as an example 5, and sidewalls 1512 and 1513 will be formed after that using the etchback method. And the oxidation silicon film 1504 is etched at the still more nearly same process as an example 5, and it forms in the condition which shows gate dielectric film 1514 and 1515 in drawing 15 (C).

[0205] And impurity ion is again poured in in the condition which shows in drawing 15 (C). The N channel mold TFT and the P channel mold TFT are had good control of striking in any direction like [ this ion-implantation process ] a previous ion-implantation process. Moreover, the dose presupposes that it is higher than the dose of a previous ion implantation at this time.

[0206] In this way, the source field 1516 of the N channel mold TFT, the drain field 1517, the low concentration impurity ranges 1518 and 1519, the channel formation field 1520 and the source field 1521 of the P channel mold TFT, the drain field 1522, the low concentration impurity ranges 1523 and 1524, and the channel formation field 1525 are formed.

[0207] Next, the Salicide process as shown in the example 5 is performed using the titanium film. Consequently, titanium silicide 1526–1531 is formed in the top face of the gate electrodes 1505 and 1506 at the source fields 1516 and 1522 and the drain fields 1517 and 1521, and a pan.

[0208] Next, the CMOS structure which forms an interlayer insulation film 1532, forms the source lines 1533 and 1534 and the drain wire pole 1535, forms the 2nd interlayer insulation film 1536, the 3rd interlayer insulation film 1537, and the 4th interlayer insulation film 1538, and is shown in drawing 15 (D) is acquired. the case of this example -- CHITASHI LISA -- the good ohmic contact of wiring and TFT is realizable through the id. Since titanium silicide 1530 and 1531 is formed also on the gate electrodes 1505 and 1506, the advantage of this example is a point that the load resistance concerning a gate line can be reduced.

[0209] [Example 7] In carrying out this invention, it was already said that the silicon thin film obtained according to the process explained by drawing 2 of an example 1 is required. This example shows the example in the case of using for this invention the silicon thin film crystallized with a different means in an example 1.

[0210] In drawing 2, if the condition (phase which the heat-treatment for crystallization ended) which shows in drawing 2 (C) is acquired, the oxidation silicon film 203 used as a mask will be removed. If the oxidation silicon film 203 is removed, annealing by the excimer laser which used KrF (wavelength of 248nm), XeCl (wavelength of 308nm), etc. as excitation gas will be performed. In addition, even if Saki who processes a silicon thin film into an island-like pattern, or Ushiro also performs this laser annealing process by which, it is not cared about.

[0211] The remarkable improvement of crystallization of the amorphous component which remained slightly in the crystal silicon thin film, and the crystallinity of crystal silicon is made by the above-mentioned laser annealing. Thus, even if it uses the obtained silicon thin film, the active-matrix display of this invention can be formed. The advantage of this example is a point which can use a glass substrate cheap as a substrate substrate of a active-matrix display. That is, reduction of a manufacturing cost can be aimed at.

[0212] However, the gestalt most desirable when carrying out this invention is using TFT which utilized the silicon thin film shown in the example 1, and, as for this example, it is desirable to use it, only when the need of using low thermal-resistance substrates, such as a glass substrate, as a substrate arises.

[0213] Moreover, the process shown in the example 1 and the process of this example may be combined. That is, it does not matter as a configuration which performs the gettering process of a catalyst element after a laser annealing process. In that case, a crystalline, still higher silicon thin film can be formed.

[0214] [Example 8] By this example, a technique given in JP,7-130652,A shows the example which adds the catalyst element which promotes crystallization with a different means. In addition, this example is effective when taking which crystallization means of an example 1 and an example 6.

[0215] In drawing 16 (A), it is the oxidization silicon film (a silicon nitride film and an oxidization silicon nitride film are sufficient) with which the substrate (a glass substrate or quartz substrate) with which 1601 has an insulating front face, the substrate film which 1602 becomes by the oxidization silicon film, and 1603 become an amorphous silicon thin film, and 1604 becomes a buffer layer.

[0216] Moreover, 1605 is a resist mask and removes only the field which adds a catalyst element. As for exposure of a resist mask, it is desirable to use the exposing method which used the excimer laser, the exposing method using an electron beam, etc.

[0217] Since the very detailed pattern formation of these exposing methods becomes possible 0.01–1.0 The addition field of a catalyst element can be formed with the slit width of mum (typically 0.1–0.35 micrometers). Moreover, if a direct resist pattern is drawn with an electron beam etc., the degree of

freedom of the configuration of an addition field will also spread substantially.

[0218] And ion is added as are shown in drawing on the left of drawing 16 (A), and the peak value of the ion profile 1607 comes in the amorphous silicon thin film 1603. Therefore, into the silicon thin film 1603, the field 1606 where the catalyst element was added by predetermined concentration (preferably  $3 \times 10^{19}$  –  $1.5 \times 10^{21}$  atoms/cm<sup>3</sup>) is formed. In addition, although the addition approach of ion should just be based on ion-implantation (ion plantation etc.) or the ion doping methods (plasma doping etc.), the ion-implantation which can add only a catalyst element is more desirable.

[0219] Moreover, in this example, only the catalyst element which passed the bonnet and the buffer layer 1604 for the amorphous silicon thin film 1603 by the buffer layer 1604 is used. Therefore, the following effectiveness can be acquired.

(1) There is no damage by ion addition in a direct report to the amorphous silicon thin film 1603.

(2) Since near the peak value of the ion profile 1607 is used, the addition of a catalyst element is controllable with sufficient repeatability.

[0220] Moreover, thickness of a buffer layer 1604 An ion profile with sufficient repeatability is obtained by considering as 100–1500Å (preferably 300–800 Å). In the thickness not more than this, almost all ion becomes difficult [ it / to pass a buffer layer and to use near the peak value of an ion profile ].

Moreover, in the thickness beyond this, since it is necessary to make acceleration voltage quite high, the burden of equipment becomes large.

[0221] Moreover, an optimum value changes by what kind of insulator layer this thickness uses as a buffer layer. For example, thickness of a buffer layer can be made thin by using a silicon nitride film more precise than the oxidization silicon film.

[0222] Moreover, a means as shown in drawing 16 (B) is also possible as other operation gestalten. the approach of adding catalyst element ion into the silicon thin film 1606 directly without using a resist mask for the example shown in drawing 16 (B) -- it is -- FIB (Focussed Ion Beam) -- it can carry out by using the technique which can irradiate ion like law only at a detailed spot.

[0223] In this operation gestalt, as shown in drawing 16 (B), a pattern is directly drawn by the focused ion beam 1608, and the addition field 1609 of a catalyst element can be formed in a desired location in a desired configuration by it.

[0224] As mentioned above, according to this example, it is the width of face of the addition field of a catalyst element 0.01–1.0 It can consider as the detailed thing of mum (typically 0.1–0.35 micrometers). Moreover, an addition field can also be directly drawn using an electron beam method, the FIB method, etc. As the above effectiveness, the configuration and location of a field which add a catalyst element can be freely designed to compensate for the arrangement configuration of TFT.

[0225] [Example 9] This example shows an example in case drawing 7 considers the configuration of the pixel field of a transparency mold display as a different configuration to drawing 17. For a source line, and 1705 and 1706, as for the contact section of the source line 1706 and a barrier layer (source field) 1702, and 1708, in the configuration shown in drawing 17, a gate line and 1707 are [ a barrier layer, and 1703 and 1704 / 1701 and 1702 / the contact section of the connection wiring 1709 and a barrier layer (drain field) 1702 and 1710 ] the contact sections of the connection wiring 1709 and the pixel electrode 1711.

[0226] Moreover, 1712 is auxiliary capacity and is formed in the field which the black mask 1713 shown with a slash and the connection wiring 1709 superimpose. Moreover, the field 1714 which is not shaded with the black mask 1713 turns into an image display field.

[0227] Since an arrangement configuration like this example can form the auxiliary capacity 1712 in a longitudinal direction (direction which goes to a top or the bottom toward space) when a pixel field is a longwise rectangle, when securing sufficient auxiliary capacity, it is effective.

[0228] [Example 10] This invention can be applied to all electro-optics devices, and can be applied to an active matrix liquid crystal indicating equipment, a active-matrix mold EL indicating equipment, a active-matrix mold EC indicating equipment, etc.



[0229] Moreover, it divides roughly into these active-matrix types [ like ] of display, and there are a transparency mold display and a reflective mold display. For example, a transparency mold liquid crystal display arranges a back light in the background of a active-matrix substrate (substrate of the side which arranges TFT), and an image is recognized by seeing the light which penetrates a display. Moreover, a reflective mold liquid crystal display reflects the light which carried out incidence from the front-face side of a active-matrix substrate with the pixel electrode arranged at a active-matrix substrate, and an image is recognized by seeing the reflected light.

[0230] With a transparency mold display and a reflective mold display, although there is no big difference in TFT structure, the description is in the point that the ingredients which form a pixel electrode differ. For example, what is necessary is just to use transparent electrodes, such as ITO, as a pixel electrode 711 (or pixel electrode 1711 in drawing 17) in drawing 7, when producing a transparency mold display. Moreover, what is necessary is just to use an opaque electrode with reflective effectiveness high as a pixel electrode 711 (or pixel electrode 1711), in considering as a reflective mold display.

[0231] Thus, if TFT structure is changed somewhat, this invention is applicable to a transparency mold display and a reflective mold display. Especially a reflective mold display has the advantage that a design degree of freedom spreads compared with a transparency mold display in order not to make a numerical aperture a problem. For example, in the case of a reflective mold liquid crystal display, although it consists of parts for the window part to which a pixel field penetrates light almost like the image display field 714 (or image display field 1714) in the transparency mold liquid crystal display, since it is possible to form another circuit in the background of such an image display field, a degree of integration can be raised more.

[0232] [Example 11] The example at the time of applying this invention to a color projection mold liquid crystal display is shown in drawing 18 (A). Drawing 18 (A) is an example of a veneer type projector which used the liquid crystal panel of one sheet, and consists of the source 1801 of the white light, UV filter (or infrared filter) 1802, polarizing plates 1803 and 1805, a liquid crystal panel 1804, and a projection lens 1806. As a source 1801 of the white light, a halogen lamp, a metal halide lamp, or a high intensity discharge lamp can be used.

[0233] Moreover, the active-matrix substrate 1810 with which the pixel field 1807 corresponding to [ like ] R (red) by which a liquid crystal panel 1804 is shown with an enlarged drawing, the pixel field 1808 corresponding to G (green), and the pixel field 1809 corresponding to B (blue) were formed, The liquid crystal layer 1815 is pinched between the opposite substrates 1814 with which the light filter 1811 corresponding to R (red), the light filter 1812 corresponding to G (green), and the light filter 1813 corresponding to B (blue) were formed, and it is constituted between.

[0234] In addition, it can consider as various configurations besides the above-mentioned configuration. For example, the spectrum of the light from the light source may be carried out to RGB with a dichroic mirror, and the approach of condensing each to each pixel field corresponding to RGB using a micro lens may be used.

[0235] Moreover, drawing 18 (B) is an example of the 3 plate type projector using the liquid crystal panel of three sheets corresponding to RGB, and consists of the source 1820 of the white light, UV filter (or infrared filter) 1821, total reflection mirrors 1822-1824, dichroic mirrors 1825-1828, the liquid crystal panel 1832 corresponding to condensing lenses 1829-1831R, a liquid crystal panel 1833 corresponding to G, a liquid crystal panel 1834 corresponding to B, and a projection lens 1835.

[0236] In addition, the projection mold liquid crystal display shown by drawing 18 (A) and (B) is good also as a data projector of a complete projection mold, and good also as a rear mold projector TV of a tooth-back projection mold.

[0237] By using the active-matrix display of this invention as a projection mold liquid crystal display, since it becomes the configuration which included logical circuits, such as a digital disposal circuit, in the liquid crystal panel, the large miniaturization of equipment and low-pricing are realizable.

[0238] [Example 12] This invention can be applied to various electro-optics devices besides the

projection mold liquid crystal display shown in the example 11. This example explains an example of the electro-optics device which can apply this invention using drawing 19.

[0239] As other examples of the electro-optics device using this invention, a video camera (digital), a still camera (digital), a head mount display, car navigation, a personal computer, Personal Digital Assistants (a mobile computer, cellular phone, etc.), etc. are mentioned.

[0240] Drawing 19 (A) is a mobile computer (Mobile computer), and consists of a body 2001, the camera section 2002, the television section 2003, an actuation switch 2004, and a display 2005. A card mold mobile computer can be realized by including a display control circuit, an arithmetic circuit, etc. in a display 2005 with the application of this invention.

[0241] Drawing 19 (B) is a head mount display, and consists of a body 2101, an indicating equipment 2102, and the band section 2103. The miniaturization of equipment can be substantially attained by applying this invention to a display 2102.

[0242] Drawing 19 (C) is a car-navigation system, and consists of a body 2201, an indicating equipment 2202, an actuation switch 2203, and an antenna 2204. Since the information from a satellite is sent to a car-navigation system, the circuit of very high drive frequency is needed for signal processing. The further miniaturization of a car-navigation system and low-pricing are attained by applying this invention to an indicating equipment 2202.

[0243] Drawing 19 (D) is a cellular phone and consists of a body 2301, the voice output section 2302, the voice input section 2303, an indicating equipment 2304, an actuation switch 2305, and an antenna 2306. The display monitor corresponding to digital one can be carried by applying this invention to an indicating equipment 2304.

[0244] Drawing 19 (E) is a video camera and consists of a body 2401, an indicating equipment 2402, the voice input section 2403, an actuation switch 2404, a dc-battery 2405, and the television section 2406. Since an equipment configuration is substantially simplified by applying this invention to a display 2402, very small equipment can be realized.

[0245] As mentioned above, the application range of this invention is very wide, and applying to the display medium of all fields is possible. Moreover, since various functions can be given to the active-matrix display itself by applying this invention, the size of an electro-optics device becomes very small. In the future, all electro-optics devices can turn into a card-sized pocket mold electro-optics device.

[0246]

[Effect of the Invention] First, the effectiveness which a very important basic technique brings about when carrying out this invention is described. The basic technique is giving the gettering process of the catalyst element by the halogen to the crystal silicon crystallized using the catalyst element, and the silicon thin film which has a very unique crystal structure object is obtained.

[0247] TFT using the silicon thin film formed with a making process as shown in the example 1 has the description of having the subthreshold level multiplier which is equal to MOSFET which used single crystal silicon, and having high electric field effect mobility. Moreover, the silicon thin film with which a flat cylindrical crystal becomes by the crystal structure which come to gather has cylindrical or the effectiveness which controls a short channel effect in itself, even if it makes TFT detailed, it is not necessary to depend for it on the channel doping method etc., and it can realize a high proof pressure and a high-speed operation property.

[0248] It becomes possible by using TFT with broad such very high engine performance, i.e., drive frequency region, and operating voltage region to form the RF actuation mold TFT and the high proof-pressure actuation mold TFT on the same substrate.

[0249] Moreover, since a short channel effect can be controlled without depending on the channel doping method, TFT from which the engine performance of operation differs is realizable only by changing the channel length (L) of TFT, and the thickness (T) of gate dielectric film. Therefore, TFT which has a genuineness channel formation field genuineness or substantially by differing the thickness (T) of channel length (L) and gate dielectric film according to the property which a circuit requires can

be used in a broad drive frequency region and an operating voltage region.

[0250] By the ability of the above effectiveness to have been acquired, the logical-circuit built-in active-matrix display which has arranged the logical circuit, driver line, and pixel matrix circuit which loaded together the high frequency actuation mold TFT and the high proof-pressure actuation mold TFT on the same substrate is realizable.

[0251] Since the active-matrix display of this invention carries a display control circuit, a memory circuit, and the logical circuit that may also include an arithmetic circuit ultimately in addition to a pixel matrix circuit or a driver line, it functions as a system display which was extremely excellent in various functions nature and portability. Moreover, since it is designed like, a RF actuation circuit becomes the thing excellent also in low-power nature whose operating voltage does not become large beyond the need.

[0252] Furthermore, it is possible for it to be very small and lightweight and to offer a cheap electro-optics device by applying such a active-matrix display to an electro-optics device like for example, a projection mold liquid crystal display.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram of a active-matrix display.

[Drawing 2] Drawing showing the formation process of a silicon thin film.

[Drawing 3] The TEM photograph in which the crystal structure of a silicon thin film is shown.

[Drawing 4] Drawing showing the electrical property of TFT.

[Drawing 5] Drawing showing the structure of TFT.

[Drawing 6] Drawing showing the cross section of CMOS structure and a pixel field.

[Drawing 7] Drawing showing the pixel field seen from the top face.

[Drawing 8] Drawing showing the making process of CMOS structure and a pixel field.

[Drawing 9] Drawing showing the making process of CMOS structure and a pixel field.

[Drawing 10] Drawing for explaining the arrangement configuration of a circuit.

[Drawing 11] Drawing showing a fundamental circuit.

[Drawing 12] Drawing for explaining the driver line for horizontal scannings.

[Drawing 13] Drawing for explaining the circuit which constitutes logic.

[Drawing 14] Drawing showing the making process of CMOS structure.

[Drawing 15] Drawing showing the making process of CMOS structure.

[Drawing 16] Drawing for explaining the addition approach of a catalyst element.

[Drawing 17] Drawing showing the pixel field seen from the top face.

[Drawing 18] Drawing showing the configuration of a projection mold display.

[Drawing 19] Drawing showing the application to an electro-optics device.

[Description of Notations]

- 101 Substrate
  - 102 Pixel Matrix Circuit
  - 103 Source Line Driver Line
  - 104 Gate Line Driver Line
  - 105 Logical Circuit
  - 106 107 Source line
  - 108 109 Gate line
  - 110 Pixel Field
  - 111 Pixel TFT
  - 112 Liquid Crystal Cell
  - 113 Auxiliary Capacity
  - 114 Phase Comparator
  - 115 LPF
  - 116 Voltage-controlled Oscillator
  - 117 Counting-down Circuit
  - 118 Oscillator for Horizontal Scannings
  - 119 Oscillator for Vertical Scannings
  - 120 D/A Converter
  - 121 Input Terminal of Analog Signal
  - 122 Input Terminal of Bit Signal
  - 123 Input Terminal of Synchronizing Signal for Horizontal Scannings
  - 124 Input Terminal of Synchronizing Signal for Vertical Scannings
- 

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-197897

(43)公開日 平成10年(1998) 7 月31日

(51)Int.Cl. <sup>6</sup>	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
1/133	5 5 0	1/133 5 5 0

審査請求 未請求 請求項の数33 F D (全 31 頁)

(21)出願番号	特願平8-358974	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成 8 年(1996)12月27日	(72)発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72)発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72)発明者	大谷 久 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 アクティブマトリクスディスプレイ

(57)【要約】

【課題】 多機能性および低消費電力性に優れたアクティブマトリクスディスプレイを実現するための技術を提供する。

【解決手段】 同一基板上に画素マトリクス回路、ドライバー回路およびロジック回路を搭載したシステム化アクティブマトリクスディスプレイを作製する。本発明の T F T は 0. 05 ~ 2 G H z の幅広い駆動周波数領域に対応可能な特性を有し、チャネル長とゲイト絶縁膜の膜厚を回路が要求する特性に応じて設計することで高周波駆動用回路と低周波駆動用回路とを同一基板上に形成することを可能としている。



(2)

1

## 【特許請求の範囲】

【請求項1】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

【請求項2】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせることを特徴とするアクティブマトリクスディスプレイ。

【請求項3】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFT

2

Tで構成され、

前記複数のTFTのサブスレッショルド係数はNチャネル型TFTおよびPチャネル型TFTともに60~100mV/decadeであることを特徴とするアクティブマトリクスディスプレイ。

【請求項4】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTの寸法は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項5】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTのチャンネル長および/またはゲイト絶縁膜の膜厚は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項6】請求項4、5のいずれかにおいて、回路の要求する電気特性とは駆動周波数および動作電圧であることを特徴とするアクティブマトリクスディスプレイ。

【請求項7】複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記

(3)

3

画素マトリクス部に伝達される画像情報を含む信号とを  
処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクス  
ディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジッ  
ク回路は結晶性を有するシリコン薄膜による複数のT F  
Tで構成され、

前記複数のT F Tの内、必要とする駆動周波数が0.1 G  
H z以上の回路を構成するT F Tのゲイト絶縁膜の膜厚  
は500 Å以下であり、必要とする動作電圧が10Vを超え  
る回路を構成するT F Tのゲイト絶縁膜の膜厚は1000 Å  
以上であることを特徴とするアクティブマトリクスディ  
スプレイ。

【請求項8】複数のソース線、複数のゲイト線および複  
数のT F Tとを少なくとも含んで構成される画素マトリ  
クス回路と、

前記ソース線を駆動するソース線ドライバー回路および  
前記ゲイト線を駆動するゲイト線ドライバー回路を少な  
くとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記  
画素マトリクス部に伝達される画像情報を含む信号とを  
処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリク  
スディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジッ  
ク回路は結晶性を有するシリコン薄膜による複数のT F  
Tで構成され、

前記複数のT F Tには高周波駆動型T F Tと高耐圧駆動  
型T F Tとが同時に存在していることを特徴とするアク  
ティブマトリクスディスプレイ。

【請求項9】請求項8において、前記高周波駆動型T F  
Tのゲイト絶縁膜の膜厚は500 Å以下であり、前記高耐  
圧駆動型T F Tのゲイト絶縁膜の膜厚は1000 Å以上であ  
ることを特徴とするアクティブマトリクスディスプレ  
イ。

【請求項10】複数のソース線、複数のゲイト線および  
複数のT F Tとを少なくとも含んで構成される画素マト  
リクス回路と、

前記ソース線を駆動するソース線ドライバー回路および  
前記ゲイト線を駆動するゲイト線ドライバー回路を少な  
くとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記  
画素マトリクス部に伝達される画像情報を含む信号とを  
処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリク  
スディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジッ  
ク回路は結晶性を有するシリコン薄膜による複数のT F  
Tで構成され、

前記画素マトリクス回路、ドライバー回路およびロジッ

4

ク回路を構成する複数の回路には駆動周波数および／ま  
たは動作電圧が異なる少なくとも二種類の回路が含まれ  
ることを特徴とするアクティブマトリクスディスプレ  
イ。

【請求項11】複数のソース線、複数のゲイト線および  
複数のT F Tとを少なくとも含んで構成される画素マト  
リクス回路と、

前記ソース線を駆動するソース線ドライバー回路および  
前記ゲイト線を駆動するゲイト線ドライバー回路を少な  
くとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記  
画素マトリクス部に伝達される画像情報を含む信号とを  
処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板なら  
びに該アクティブマトリクス基板に対向して配置される  
対向基板との間に液晶層を挟持した構成でなるアクティ  
ブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジッ  
ク回路は結晶性を有するシリコン薄膜による複数のT F  
Tで構成され、

前記シリコン薄膜は、互いに概略平行に、かつ、方向性  
をもって成長した複数の棒状または偏平棒状結晶が集合  
してなる結晶構造を有していることを特徴とするアクテ  
ィブマトリクスディスプレイ。

【請求項12】複数のソース線、複数のゲイト線および  
複数のT F Tとを少なくとも含んで構成される画素マト  
リクス回路と、

前記ソース線を駆動するソース線ドライバー回路および  
前記ゲイト線を駆動するゲイト線ドライバー回路を少な  
くとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記  
画素マトリクス部に伝達される画像情報を含む信号とを  
処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板なら  
びに該アクティブマトリクス基板に対向して配置される  
対向基板との間に液晶層を挟持した構成でなるアクティ  
ブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジッ  
ク回路は結晶性を有するシリコン薄膜による複数のT F  
Tで構成され、

前記シリコン薄膜を構成する棒状または偏平棒状結晶の  
内部は結晶格子が連続的に連なり、キャリアにとって実  
質的に単結晶と見なせることを特徴とするアクティブマ  
トリクスディスプレイ。

【請求項13】複数のソース線、複数のゲイト線および  
複数のT F Tとを少なくとも含んで構成される画素マト  
リクス回路と、

前記ソース線を駆動するソース線ドライバー回路および  
前記ゲイト線を駆動するゲイト線ドライバー回路を少な  
くとも含むドライバー回路と、

50

(4)

5

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTのサブスレッショルド係数はNチャネル型TFTおよびPチャネル型TFTともに60~100mV/decadeであることを特徴とするアクティブマトリクスディスプレイ。

【請求項14】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTの寸法は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項15】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTのチャンネル長および/またはゲート絶

6

縁膜の膜厚は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項16】請求項14、15のいずれかにおいて、回路の要求する電気特性とは駆動周波数および動作電圧であることを特徴とするアクティブマトリクスディスプレイ。

【請求項17】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTの内、必要とする駆動周波数が0.1 GHz以上の回路を構成するTFTのゲート絶縁膜の膜厚は500 Å以下であり、必要とする動作電圧が10Vを超える回路を構成するTFTのゲート絶縁膜の膜厚は1000 Å以上であることを特徴とするアクティブマトリクスディスプレイ。

【請求項18】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記複数のTFTには高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在していることを特徴とするアクティブマトリクスディスプレイ。

【請求項19】請求項18において、前記高周波駆動型TFTのゲート絶縁膜の膜厚は500 Å以下であり、前記

(5)

7

高耐圧駆動型TFTのゲート絶縁膜の膜厚は1000Å以上であることを特徴とするアクティブマトリクスディスプレイ。

【請求項20】複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記画素マトリクス回路、ドライバー回路およびロジック回路を構成する複数の回路には駆動周波数および／または動作電圧が異なる少なくとも二種類の回路が含まれることを特徴とするアクティブマトリクスディスプレイ。

【請求項21】請求項2乃至5、7、8、10、12乃至15、17、18、20のいずれかにおいて、前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

【請求項22】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記複数のTFTを構成する活性層のうち少なくともチャンネル形成領域は、チャンネル長方向と前記シリコン薄膜を構成する棒状または偏平棒状結晶の成長方向とが概略一致し、かつ、チャンネル長方向とチャンネル幅方向とで異方性を有することを特徴とするアクティブマトリクスディスプレイ。

【請求項23】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記複数のTFTを構成する活性層のうち少なくともチャンネル形成領域は真性または実質的に真性な領域であることを特徴とするアクティブマトリクスディスプレイ。

【請求項24】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記シリコン薄膜中には結晶化を助長する触媒元素としてNi、Fe、Co、Sn、Pd、Pb、Pt、Cu、Auから選ばれた一種または複数種類の元素が含まれ、該触媒元素の濃度は $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下であることを特徴とするアクティブマトリクスディスプレイ。

8

【請求項25】請求項24において、前記結晶化を助長する触媒元素は、Ni（ニッケル）であることを特徴とするアクティブマトリクスディスプレイ。

【請求項26】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記シリコン薄膜中にはCl、F、Brから選ばれた一種または複数種類の元素が $1 \times 10^{15} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>の濃度で含まれることを特徴とするアクティブマトリクスディスプレイ。

【請求項27】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記複数のTFTを構成する活性層とゲート絶縁膜との界面にはCl、F、Brから選ばれた一種または複数種類の元素が高濃度に存在することを特徴とするアクティブマトリクスディスプレイ。

【請求項28】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記画素マトリクス回路はマトリクス状に形成された複数の画素領域で構成され、該画素領域には2つ以上のTFTを実質的に直列に接続した構成でなる少なくとも一つの画素TFTが具備されていることを特徴とするアクティブマトリクスディスプレイ。

【請求項29】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記画素マトリクス回路はマトリクス状に形成された複数の画素領域で構成され、該画素領域に具備される補助容量は接続配線および該接続配線と重畳するブラックマスクとの間に形成されることを特徴とするアクティブマトリクスディスプレイ。

【請求項30】請求項29において、前記ブラックマスクは開口部を有する有機性樹脂膜の上に形成されており、前記開口部の底部において前記補助容量が形成されていることを特徴とするアクティブマトリクスディスプレイ。

【請求項31】請求項29において、前記接続線はソース線と同一材料、かつ、同一の層に形成されていることを特徴とするアクティブマトリクスディスプレイ。

【請求項32】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記画素マトリクス回路を構成する複数のTFTの寸法は、前記ドライバー回路またはロジック回路を構成する複数のTFTの内、少なくとも1つのTFTの寸法と異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項33】請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれかにおいて、前記ロジック回路として位相比較器、LPF（ローパスフィルタ）、VCO（電圧制御型発振器）、分周器、水平走査用発振器、垂直走査用発振器、D/Aコンバータ、I/Oポート、差動アンプ、ホプアンプ、コンパレータ、メモリのうち少なくとも一つの回路が含まれることを特



(6)

9

徴とするアクティブマトリクスディスプレイ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、結晶性を有する薄膜半導体を用いて形成した薄膜トランジスタ（TFT）で構成されるアクティブマトリクスディスプレイ（アクティブマトリクス型の液晶表示装置、EL表示装置、EC表示装置を含む）の構成に関する。また、その様なアクティブマトリクスディスプレイを表示装置として使用する電気光学デバイスに関する。

【0002】

【従来の技術】近年、TFTを用いて同一基板上に画素マトリクス回路と駆動回路とを一体形成する技術が急速に発達してきている。その理由は、日常生活においてアクティブマトリクスディスプレイ（アクティブマトリクスパネルとも呼ぶ）の需要が高まったことにある。

【0003】アクティブマトリクスディスプレイは、マトリクス状に配置された複数の各画素のそれぞれにTFTを配置し、各画素電極（駆動電極）に出入りする電荷をTFTのスイッチング機能により制御するものである。

【0004】その様なアクティブマトリクスディスプレイとしては米国特許第5250931号（Misawa et al.）に開示される内容が知られている。前記した特許では同一基板上に画素マトリクスとドライバ回路（ソース線ドライバ回路とゲート線ドライバ回路）とを形成したアクティブマトリクスパネルおよび応用製品を開示しており、ドライバ回路はシフトレジスタ、サンプルホールド回路、バッファ等で構成されている旨が記載されている。

【0005】前記した特許に示されている様に、従来のアクティブマトリクスディスプレイは同一基板上に画素マトリクスとドライバ回路を構成するに止まるものであった。しかしながら、現在の日常生活においてはアクティブマトリクスディスプレイは様々な応用製品（電気光学デバイス等）に使用され、小型化、高性能化、低消費電力化を求める声が益々強くなってきている。

【0006】その様な中で、最近ではアクティブマトリクスディスプレイの小型化、高性能化を図る手段としてSOP（システム・オン・パネル）構想が提案されている。このSOP構想とは従来はアクティブマトリクスディスプレイに外付けされていたロジック回路（表示コントロール回路や演算回路などの信号処理回路）を、TFTでもって同一基板上に搭載する構想である。

【0007】しかしながら、その構想を実現しうるTFTを形成する技術は未だに確立されていない。その理由は、現在利用されているシリコン薄膜（珪素薄膜）を用いたTFTでは、ロジック回路の様な高周波駆動を必要とする電気回路を構成することが困難だからである。

【0008】例えば、現状において900℃前後の加熱処

10

理を経て形成されるシリコン薄膜（いわゆる高温ポリシリコン膜）や600℃以下の比較的低温で形成されるシリコン薄膜（いわゆる低温ポリシリコン膜）を用いたTFTが発表されているが、これらのシリコン薄膜ではロジック回路を構成しうる高速動作性能を有するTFTの実現は困難である。

【0009】TFTの動作速度の向上はTFTサイズを小さくすることで一応の対処はできるが、チャネル長（またはゲート長）の縮小は短チャネル効果を招き、ドレイン耐圧の低下等の不具合が生じる。従って、従来のシリコン薄膜を用いたTFTの場合、スケールング則による動作速度の向上にも限界がきており、信頼性の問題からこれ以上動作速度を上げることは困難である。また、シリコン薄膜には結晶粒と結晶粒界（グレインバウンダリ）が不規則に存在し、結晶粒界がTFT特性に大きく影響してバラツキを生じるといった問題もある。

【0010】以上の様に、従来のTFT製造技術では前記した特許に示される様なアクティブマトリクスディスプレイを構成することはできても、さらに高速動作を必要とするロジック回路を内蔵することは困難である。

【0011】また、従来利用していた単結晶シリコン上に形成したIGFET（絶縁ゲート型電界効果トランジスタ）の場合、単結晶の極めて優れた結晶性を利用して、低周波数駆動および高周波駆動のどちらにも対応可能なIGFETを形成することができる。しかしながら、単結晶シリコンウェハー上に形成するIGFETでは、動作速度を高めるためにチャネル長を短くするとすぐに短チャネル効果が顕在化してしまうといった問題がある。

【0012】従って、高周波駆動用のIGFETはチャネルドープ等の特別な処理が必要となるため、製造工程が複雑になるのを避けて高周波駆動用のICチップと低周波駆動用（高耐圧駆動用）のICチップとを別々に使い分けるのが普通である。

【0013】従って、従来の技術では同一基板または同一チップ上に高周波駆動用のロジック回路と低周波駆動用のロジック回路とを混載するのは難しく、その事がSOP構想を実現する上での大きな障害となっている。

【0014】

【発明が解決しようとする課題】本発明は、以上の様な問題点を克服し、同一基板上に高周波駆動用に対応できる回路と低周波駆動（または高耐圧駆動）に対応できる回路とを混載した、低消費電力性および多機能性を有するアクティブマトリクスディスプレイを実現するための技術を提供することを課題とする。また、その様なアクティブマトリクスディスプレイを利用した小型で安価な電気光学デバイスを実現するための技術を提供することを課題とする。

【0015】なお、本明細書中においてアクティブマトリクスディスプレイという言葉はアクティブマトリクス



(7)

11

型表示装置およびその主たる機能を有する構成基板をも含めて用いている。即ち、例えばアクティブマトリクス型液晶表示装置を例にとると、アクティブマトリクスディスプレイという言葉にはアクティブマトリクス型液晶表示装置のみならずアクティブマトリクス基板（TFTを形成する側の基板）も含まれるものとする。

【0016】

【課題を解決するための手段】本明細書で開示する発明は、複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス部に伝達される画像情報を含む信号とを処理するロジック回路と、を同一基板上に配置して構成されるアクティブマトリクスディスプレイ、或いは、上記画素マトリクス回路、ドライバー回路およびロジック回路を同一基板上に配置したアクティブマトリクス基板ならびに該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイに関するものである。

【0017】本発明の構成の一つは、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とする。

【0018】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記シリコン薄膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせることを特徴とする。

【0019】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTのサブスレッショルド係数はNチャネル型TFTおよびPチャネル型TFTともに60~100mV/decadeであることを特徴とする。

【0020】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTの寸法は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とする。

12

【0021】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTのチャンネル長（L）および／またはゲート絶縁膜の膜厚（T）は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とする。

【0022】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTの内、必要とする駆動周波数が0.1GHz以上の回路を構成するTFTのゲート絶縁膜の膜厚は500Å以下であり、必要とする動作電圧が10Vを超える回路を構成するTFTのゲート絶縁膜の膜厚は1000Å以上であることを特徴とする。

【0023】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記複数のTFTには高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在していることを特徴とする。

【0024】また、他の発明の構成は、上記アクティブマトリクスディスプレイにおいて、前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、前記画素マトリクス回路、ドライバー回路およびロジック回路を構成する複数の回路には駆動周波数および／または動作電圧が異なる少なくとも二種類の回路が含まれることを特徴とする。

【0025】以上の構成でなる本発明について、以下に記載する実施例において詳細な説明を行うこととする。

【0026】

【実施例】

【実施例1】図1に示すのは、本発明によるアクティブマトリクスディスプレイのブロック図である。本発明のアクティブマトリクスディスプレイは基板101上に画素マトリクス回路102、ソース線ドライバー回路103、ゲート線ドライバー回路104およびロジック回路105を一体形成して構成される。

【0027】なお、本実施例に示す回路構成は単に一実施例を示すものであり、回路構成をこれに限定するものではない。本発明の要点は、同一基板上にロジック回路105を搭載していることであり、上記画素マトリクス回路102、ソース線ドライバー回路103、ゲート線ドライバー回路104、ロジック回路105といった各種回路の構成は回路設計の必要に応じて決定すれば良い。

【0028】図1において、ソース線ドライバー回路103

(8)

13

03は主としてシフトレジスタ、レベルシフタ、バッファ、ラッチ回路等で構成され、ゲイト線ドライバー回路104は主としてシフトレジスタ、マルチプレクサ、レベルシフタ、バッファ等で構成されている。勿論、シフトレジスタを同一機能を有する回路、例えばカウンタ及びデコーダで代用する構成としても構わない。また、図1はデジタル対応の回路構成を示しているが、アナログ対応ならばソース線ドライバー回路103にはサンプルホールド回路などが含まれる。

【0029】なお、これらソース線ドライバー回路103、ゲイト線ドライバー回路104に含まれる各種回路は、Nチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS構造でなるインバータ回路を基本単位として構成される。勿論、片極性の回路でも良いが、低消費電力の観点からCMOS構造によるスタティック型又はダイナミック型回路が適している。

【0030】また、画素マトリクス回路102は、ソース線ドライバー回路103に接続される複数のソース線106、107及びゲイト線ドライバー回路104に接続される複数のゲイト線108、109とで囲まれた複数の画素領域110がマトリクス状に配置されて構成される。そして、複数の画素領域110は画素TFT111、液晶セル112、補助容量113を含んで構成されている。なお、図示されていないが、液晶セル112は画素電極および対向電極とその間に挟持された液晶とで構成される。

【0031】次に、ロジック回路105は、ソース線ドライバー回路103及びゲイト線ドライバー回路104を駆動するためのスタートパルスやクロック信号等の処理、画素マトリクス回路102に画像を表示させるためのビデオ信号の処理等の様に、画像表示を行うに必要な信号処理を行うために必要な回路全般を指す。

【0032】図1に示す実施例においてロジック回路105は、位相比較器114、LPF (Low Pass Filter) 115、VCO (電圧制御型発振器) 116、分周器117、ソース線ドライバー用 (水平走査用) 発振器118、ゲイト線ドライバー用 (垂直走査用) 発振器119、D/Aコンバータ (デジタル・アナログ変換器) 120を含んで構成される。

【0033】なお、本発明者らはここで図示されない他のロジック回路、例えばイメージセンサやCCDから送られてくる信号の入出力を行うI/Oポート、アンプ系回路 (差動アンプ、オペアンプ、コンパレータ等)、A/Dコンバータ、データを格納するメモリ (RAMやROM)、究極的には演算回路までもモノシリックに搭載し、CPU (中央演算処理装置) としての機能を備えたシステムディスプレイをも実現しようと考えている。

【0034】また、121はデジタル階調信号に応じたアナログ信号の入力端子、122はデジタル階調信号を選択するためのビット信号の入力端子、123は水平走

14

査用同期信号の入力端子、124は垂直走査用同期信号の入力端子である。勿論、これらのアナログ信号、ビット信号、同期信号を形成する発振回路をも基板上に組み込んでしまえば入力端子は必要なくなる。

【0035】(本発明で必要とするシリコン薄膜について) ここで、図1に示す様なアクティブマトリクスディスプレイを実現するにあたって最も重要な要素について説明する。従来例で説明した様に、従来のシリコン薄膜では高周波駆動対応の回路と低周波駆動 (高耐圧駆動) 対応の回路を同一基板上に混載するのは困難である。従って、図1に示す様なアクティブマトリクスディスプレイを構成するためには、幅広い周波数領域に対応できるTFTを実現する様なシリコン薄膜を形成しなければならない。

【0036】本発明は、以下に説明する全く新しいシリコン薄膜を活性層としたTFTによって、図1に示す様な構成のアクティブマトリクスディスプレイを実現可能なものとしている。この全く新しいシリコン薄膜は本発明者らが発明した材料であって、この材料を用いるTFTは活性層およびゲイト絶縁膜の形成方法および活性層を構成するシリコン薄膜の構造に特異な特徴が見られる。ここではまず、ゲイト絶縁膜を形成するまでの工程について図2を用いて説明する。

【0037】まず絶縁表面を有する基板201を用意する。本実施例では石英基板を用いるが、その上に下地膜として酸化珪素膜等を成膜した基板を用いても良い。ただし、本発明で利用するシリコン薄膜を形成するには700~1100℃の加熱処理が必要となるため、基板201はその温度範囲に耐えうる耐熱性を有していなければならない。

【0038】次に、非晶質シリコン膜 (アモルファスシリコン膜) 202を100~750 Å (好ましくは150~450 Å) の厚さにプラズマCVD法、スパッタ法、減圧熱CVD法によって成膜する。なお、後の熱酸化工程による膜減りを計算にいて最終的に必要とする膜厚よりも厚く成膜しておく。また、成膜ガスとしてシラン系ガス (SiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>、Si<sub>3</sub>H<sub>8</sub>等) を用いる減圧熱CVD法によると、後の結晶化工程において自然核発生率による弊害は少ないので好ましい。

【0039】非晶質シリコン膜202を成膜したら、次に非晶質シリコン膜202を結晶化させて結晶シリコン膜 (ポリシリコン膜) を得る。結晶化手段としては特開平7-130652号公報記載の技術を利用する。同公報記載の技術は、非晶質シリコン膜に対して触媒元素 (代表的にはNi) を添加して結晶化を助長するものである。

【0040】なお、同公報では非晶質シリコン膜の全面に触媒元素を添加する手段と、選択的に添加する手段とを開示しており、基本的にはどちらを用いることも可能だが、後者を利用の方が結晶の成長方向の制御性に優れるので望ましい。従って、本実施例では後者を利用し

(9)

15

た場合について説明する。

【0041】まず、非晶質シリコン膜202を成膜したら、Ni（ニッケル）を選択的に添加するための酸化珪素膜でなるマスク203を形成する。酸化珪素膜でなるマスク203にはパターンニングによって開口部204が複数設けられており、開口部204の一辺は少なくとも $10\mu\text{m}$ 以上の幅を有することが好ましい。これ以下では後の触媒元素を含む溶液を塗布する工程において表面張力により開口部の内部にまで溶液が到達しない恐れが生じる。ここでは図2（A）において、開口部204は幅は $10\sim 20\mu\text{m}$ とし、その長さは紙面と垂直な方向に向かって数十～数百 $\mu\text{m}$ の長さとする事ができる。

【0042】次に、酸素雰囲気中においてUV光を照射し、非晶質シリコン膜202の露出表面に極薄い酸化膜（図示せず）を形成する。この酸化膜は、後に結晶化を助長するニッケルを導入する際の溶液塗布工程で溶液の濡れ性を改善するためのものである。なお、結晶化を助長する触媒元素としては、Ni以外にもFe、Co、Sn、Pd、Pb、Pt、Cu、Au等の元素を用いることができる。

【0043】次に、所定の濃度（本実施例では重量換算で100ppm）でニッケルを含有したニッケル硝酸塩（またはニッケル酢酸塩）溶液を滴下し、スピコート法によりニッケルを含有した薄い水膜205を形成する。非晶質シリコン膜202中に添加するニッケル濃度は溶液塗布工程においてニッケル塩溶液の濃度を調節することで容易に制御することができる。（図2（B））

【0044】次に、不活性雰囲気または水素を含む雰囲気中において $500\sim 700^\circ\text{C}$ 、代表的には $550\sim 650^\circ\text{C}$ の温度で4～8時間の加熱処理を加えて非晶質シリコン膜202の結晶化を行う。結晶化は膜中のニッケルが核となって進行すると考えられる。（図2（C））

【0045】非晶質シリコン膜202の結晶化はニッケルを添加した開口部204から優先的に進行し、開口部204の下には第1の結晶領域206が形成される。また、ニッケルの拡散によりマスク203の下には、基板201と概略平行に成長した棒状または偏平棒状結晶で構成される第2の結晶領域207が形成される。208は互いに逆方向から成長してきた第2の結晶領域207が衝突して形成された粒界である。

【0046】本発明ではこの第2の結晶領域のみを結晶シリコン膜として利用する。即ち、開口部204の配置によって非晶質シリコン膜202の結晶化領域（第2の結晶領域207）、衝突による粒界208等の位置を制御できるため、従来のポリシリコン膜の様に結晶粒界がTFT特性に影響する様なことがない。

【0047】次に、酸化珪素膜でなるマスク203を除去した後、得られた結晶シリコン膜207をパターンニングによって島状に加工して図2（D）に示す様な複数の活性層209を形成する。

16

【0048】結晶シリコン膜でなる活性層209を形成したら、活性層209上に酸化珪素膜でなるゲイト絶縁膜210を成膜する。ゲイト絶縁膜210の成膜方法は、プラズマCVD法、熱CVD法、スパッタ法等の気相法を用いれば良い。また、酸化珪素膜の代わりに窒化珪素膜や酸化窒化珪素膜を用いたり、それらの絶縁膜を積層して用いても構わない。

【0049】このゲイト絶縁膜210の膜厚はTFTを利用する目的（使用する回路等）に応じて、即ち必要とする特性に応じて決定すれば良い。なお、最終的に必要とするゲイト絶縁膜の厚さが $500\text{\AA}$ 以下となる場合、ゲイト絶縁膜210を成膜しないでおき、後の熱酸化工程で得られる熱酸化膜のみをゲイト絶縁膜として利用することもできる。

【0050】次に、ハロゲン元素を含む雰囲気中において加熱処理を行う。この加熱処理はハロゲン元素による金属元素のゲッターリング効果を利用して、活性層209中の金属元素（特にニッケル）を除去することを第1に狙った触媒元素のゲッターリングプロセスである。

【0051】このゲッターリングのための加熱処理は、その効果を得るために $700^\circ\text{C}$ を越える温度で行なうことが好ましい。それ以下の温度ではゲイト絶縁膜210がブロッキング層となって十分なゲッターリング効果を得られない恐れがある。

【0052】そのため、この加熱処理は $700^\circ\text{C}$ を超える温度で行い、好ましくは $800\sim 1000^\circ\text{C}$ （代表的には $950^\circ\text{C}$ ）とし、処理時間は $0.1\sim 6$ 時間、代表的には $0.5\sim 1$ 時間とすると十分なゲッターリング効果を得ることができる。

【0053】なお、ここでは酸素（ $\text{O}_2$ ）雰囲気中に対して塩化水素（ $\text{HCl}$ ）を $0.5\sim 10$ 体積%（本実施例では3体積%）の濃度で含有させた雰囲気中において、 $950^\circ\text{C}$ 、30分の加熱処理を行う例を示す。 $\text{HCl}$ 濃度を上記濃度以上とすると、活性層209の表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0054】また、上述の酸化性雰囲気中に高濃度の窒素（ $\text{N}_2$ ）を混ぜた雰囲気とすることで結晶シリコン膜の酸化速度を低下させることができる。熱酸化反応を必要以上に進ませずにゲッターリング時間を増やす場合に有効な手段である。

【0055】また、ハロゲン元素を含む化合物として $\text{HCl}$ ガスを用いる例を示したが、それ以外のガスとして、代表的には $\text{HF}$ 、 $\text{NF}_3$ 、 $\text{HBr}$ 、 $\text{Cl}_2$ 、 $\text{ClF}_3$ 、 $\text{BCl}_3$ 、 $\text{F}_2$ 、 $\text{Br}_2$ 等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。また、一般にハロゲンの水素化物または有機物（炭水素化物）を用いることもできる。

【0056】この工程においては活性層209中に添加されたニッケルがハロゲン元素（ここでは塩素）の作用によりゲッターリングされ、揮発性の塩化ニッケルとなつ



(10)

17

て大気中へ離脱して除去されると考えられる。そのため、活性層211中のニッケルの濃度は $1 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減される。なお、本明細書における不純物濃度はSIMS分析で得られた計測値の最小値で定義される。

【0057】従って、図2(E)に示すハロゲン元素を含む雰囲気における加熱処理によって活性層211中のニッケルはデバイス特性に影響を与えない程度( $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは活性層中のスピン密度以下)にまで低減され、極めてトラップ密度の小さい活性層を得ることができる。

【0058】また、ゲッタリング工程を行なった場合、活性層209中にはゲッタリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{20} \text{atoms/cm}^3$ の濃度で残存する。その際、活性層209と加熱処理によって形成される熱酸化膜との間に高濃度に分布する傾向がSIMS分析によって確かめられている。

【0059】以上の様な工程で得られた活性層211は特異な結晶構造体となった結晶シリコン膜で構成されている。ここで上記工程に従って形成した結晶シリコン膜を25万倍に拡大したTEM写真を図3に示す。図3に示す様に、上記工程で得られる結晶シリコン膜は以下に示す様な特徴を有している。

(1) 結晶格子の構造がほぼ特定方向に連続的に連なっている。

(2) 細い棒状(または柱状)結晶或いは細い偏平棒状結晶に成長している。

(3) 複数の棒状または偏平棒状結晶は互いに平行またはほぼ平行に、かつ、方向性をもって成長している。

【0060】図3に示す写真を見ると、例えば左下から右上への斜め方向に $0.15 \mu\text{m}$ 程度の幅の細い棒状結晶が延びており、両幅端縁には明確な境界(結晶粒界)が確認できる(写真に見られる線状等の濃淡は結晶面の向きの違いによる)。また、複数の棒状結晶が互いに概略平行な方向に結晶成長していることから、複数の結晶粒界もほぼ平行に延びていることが確認できる。この結晶粒界はキャリア(電子または正孔)にとってエネルギー障壁となるため、キャリアは優先的に棒状結晶の内部のみを移動すると考えられる。

【0061】なお、活性層211は上記ハロゲン元素を含む $700^\circ\text{C}$ を超える温度での加熱処理によって著しく結晶性が改善され、かつ、金属元素が問題とならない程度までゲッタリング除去されている。そのため、棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせる領域となっていると考えられる。

【0062】また、結晶格子が連続的に連なるとは棒状結晶の内部に実質的に結晶粒界が存在していない、又は存在するにしても電氣的に不活性である状態を指す。本発明者らは、活性層211を利用したTFETの電気特性

18

(後述する)の結果から、結晶粒界が存在しているにしても $\{111\}$ 双晶粒界、 $\{111\}$ 積層欠陥、 $\{221\}$ 双晶粒界などの電氣的に不活性な粒界の可能性が高いと推察している。

【0063】また、上記加熱処理により活性層211とゲイト絶縁膜210の界面では熱酸化反応が進行し、形成された熱酸化膜212の分だけゲイト絶縁膜210の全膜厚は増加する。そのため、熱酸化膜の形成分に比例して活性層211は薄膜化される。活性層の薄膜化はTFETのオフ電流の低減、電界効果移動度の向上などの効果を促進する。さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で $950^\circ\text{C}$  1時間程度の加熱処理を行なうことで、ゲイト絶縁膜210の膜質の向上と共に、極めて良好な半導体/絶縁膜界面が実現される。

【0064】(本発明で必要とするTFETについて)以上の様な活性層211を利用してTFETを作製すると、図4に示す様な電気特性が得られる(TFETの作製工程については後の実施例に譲る)。図4に示すのは横軸にゲイト電圧( $V_g$ )、縦軸にドレイン電圧( $I_d$ )の対数をとってプロットしたNチャネル型TFETの $I_d$ - $V_g$ 曲線( $I_d$ - $V_g$ 特性)である。

【0065】図4において、401は上記工程で得られた活性層を利用したTFETの電気特性であり、402は従来のTFETの電気特性を示している。具体的には402は上記工程からハロゲン元素を含む雰囲気における加熱処理とその後の窒素アニールを削除したプロセスで作製されたTFETの電気特性である。

【0066】両方のトランジスタ特性を比較すると、まず同じゲイト電圧でも401で示される特性の方が2~4桁近く大きいオン電流が流れることが確認できる。なお、オン電流とはTFETがオン状態(図4においてゲイト電圧が約0~5Vの範囲)にある時に流れるドレイン電流のことを指す。

【0067】また、401で示される特性の方が優れたサブスレッショルド特性を有していることも確認できる。サブスレッショルド特性とはTFETのスイッチング動作の急峻性を示すパラメータであり、TFETがオフ状態からオン状態にスイッチングする際の $I_d$ - $V_g$ 曲線の立ち上がりが急峻である程、サブスレッショルド特性は良いと言える。

【0068】なお、代表的な電気測定データで本発明のTFETと従来のTFETとを比較すると、次のことが確認できる。

(1) 402で示される特性のサブスレッショルド係数が $350 \text{mV/decade}$ 前後であるのに対し、401で示される特性のサブスレッショルド係数は $80 \text{mV/decade}$ 前後と小さい。この値が小さいTFETほどスイッチング性能に優れる。

(2) 電界効果移動度は402で示される特性で $80 \text{cm}^2/$

(11)

19

$V_s$ 前後であるのに対し、40.1で示される特性では250  $\text{cm}^2/\text{Vs}$  前後と大きい。電界効果移動度が大きいTFETほど動作速度が速い、即ち高周波駆動が可能である。

【0069】以上の様に、本発明のTFETは極めて優れたスイッチング特性および高速動作特性を有しており、図1に示す様なロジック回路105を形成するに足る高速動作が可能である。即ち、高周波駆動回路と低周波駆動回路とをシステム化した図1に示す様なアクティブマトリクスディスプレイを実現するためには、幅広い駆動周波数領域に対応できる本発明のTFETが必要である。

【0070】また、上述の様なTFETはNチャネル型TFETとPチャネル型TFETとで電気特性の差が非常に小さい特徴がある。例えば、本発明者らが実際に試作して測定した結果によると、しきい値電圧はN型で-0.5~1.5V、P型で-1.5~0.5Vが得られている。また、サブスレッショルド係数(S値)はN型、P型共に60~100mV/decade(代表的には60~85mV/decade)が得られている。また、電界効果移動度( $\mu_{FE}$ )はN型で平均して200~250  $\text{cm}^2/\text{Vs}$ 、P型で150~200  $\text{cm}^2/\text{Vs}$ の値が得られている。

【0071】この様に、本発明者らが発明した上述のTFETはNチャネル型TFETとPチャネル型TFETとでほぼ同等の性能を有しており、CMOS構造を構成しても動作性能の偏りによる誤動作の発生や動作速度の低下を招くことはない。即ち、極めて高いTFET特性をそのまま活用することができる。

【0072】この点に関して、本発明者らが本発明のTFETを利用して試作した9段のリングオシレータの測定結果によると、電源電圧3.3Vで約450MHz、5.0Vで約540MHzの発振周波数を記録している。これらの値は、リファレンスとした従来のTFETで構成したリングオシレータと比較して20~30倍の高速動作が実現されていることを意味している。

【0073】ここで本発明のTFETにおいて注目すべき点がある。従来例ではTFETの動作速度を上げるためにチャネル長を短くすると、短チャネル効果によってTFET特性が劣化することを述べた。しかしながら、上述の本発明のTFETはチャネル長が2  $\mu\text{m}$ と短いにも拘わらず、極めて高い動作速度と高いドレイン耐圧とを有し、加速試験による評価で信頼性の高いTFETであることが確認されている。

【0074】本発明者らはその理由として、特異な結晶構造体でなる本発明のシリコン薄膜がその構造上の理由から短チャネル効果を効果的に抑制していると推察した。なお、短チャネル効果とはチャネル長の減少に伴って生じるしきい値電圧の低下、ドレイン耐圧の劣化、サブスレッショルド特性の劣化などの総称であり、基本的にはドレイン領域側の空乏層がソース領域にまで広がることで生じるパンチスルー現象に起因する。短チャネル効果に関する詳細は「VLSIデバイスの物理」小柳光

20

正他；丸善；1986」を参考にとすると良い。

【0075】ここで本発明のTFETの活性層付近を上面から見た図を図5(A)に示す。図5(A)において501は活性層、502はゲイト電極であり、活性層501は複数の棒状結晶503、結晶粒界504を含んで構成される。また、活性層501はソース領域/チャネル形成領域/ドレイン領域の構成で機能する。

【0076】また、505で示される矢印はキャリアの移動する方向(結晶粒界504と概略平行な方向)を示し、チャネル長方向と定義する。また、506で示される矢印はチャネル長方向に垂直な方向(結晶粒界504に対して概略直交する方向)であり、チャネル幅方向と定義する。さらに、507をチャネル長(L)、508をチャネル幅(W)として定義する。なお、チャネル長507はゲイト電極502の線幅にほぼ一致するが、ゲイト電極502の表面に陽極酸化膜が形成されている場合の様に、実質的に電極として機能しない領域がある場合は必ずしも一致しない。

【0077】本発明者らは、本発明によるTFETのドレイン耐圧が高い理由として図5(A)の結晶粒界504の影響を重視した。即ち、本発明者らはチャネル形成領域においてチャネル長方向505とほぼ平行に存在する結晶粒界504によるエネルギー障壁がドレイン領域からの空乏層の広がりを実効果的に抑制し、パンチスルー現象の発生を防止していると推測した。

【0078】その様子を図5(B)に簡略化して示す。図5(B)は図5(A)をチャネル長方向に切断した断面図を示している。図5(B)において、509はソース領域、510はドレイン領域、511はチャネル形成領域、512がゲイト絶縁膜であり、513は空乏層を示している。本発明者らの推測によれば、513で示される空乏層は結晶粒界504に起因するエネルギー障壁によって棒状結晶503内部への進行を抑止され、チャネル形成領域511の内部(514で示される領域)へと侵入することができないと考えられる。

【0079】即ち、従来のシリコン薄膜を用いたTFETならば短チャネル効果の影響が顕在化する様な状態、即ちチャネル長507が極めて小さいサブミクロン(0.01~2  $\mu\text{m}$ )領域においても、図5(B)に示す様に空乏層の広がりを抑制することができるので短チャネル効果を効果的に抑制できると考えられる。

【0080】また、図5(C)は図5(A)をチャネル幅方向に切断した断面図を示している。図5(C)に示す様に、活性層501は複数の棒状結晶503が並んだ状態で構成されており、真性または実質的に真性の棒状結晶503が複数集合することでチャネル形成領域が形成されている。即ち、複数の棒状結晶503の各々は結晶粒幅d(515で示される)を有した微小なチャネル形成領域である。そのため、各々の棒状結晶503において、狭チャネル効果が生じると本発明者ら



(12)

21

は推察している。

【0081】ところで、狭チャネル効果とはチャネル幅が狭くなった時にTFTのしきい値電圧が増加する現象であり、本発明のシリコン薄膜では細い棒状結晶の各々において生じた狭チャネル効果によって、短チャネル効果によるしきい値電圧の低下が相殺されていると考えられる。

【0082】この狭チャネル効果はチャネル形成領域の端部にエネルギー障壁の高い領域が存在することでしきい値電圧が全体的に増加してしまうものであり、薄膜の場合には基板に対して水平な方向と垂直な方向の2方向で生じると考えられる。そのため、実際のキャリアはエネルギー障壁の低い領域を優先的に移動する。

【0083】また、キャリアの移動に関して、本発明のシリコン薄膜は結晶粒界504と平行に移動するキャリアと垂直に移動するキャリアとでその挙動が異なる、即ち異方性を有するという特徴がある。例えば、キャリアが移動する方向とチャネル長方向505とが概略一致することはTFTの電界効果移動度を向上させる上で非常に有効である。その理由として次のことが考えられる。

【0084】TFTの電界効果移動度はシリコン膜中におけるキャリアの散乱によって決まるが、大別して格子散乱と不純物散乱とがある。この時、日常生活で用いる温度範囲では特に不純物散乱の影響が支配的となる。本発明はこれに対して以下の利点を有している。

(1) キャリアが移動する柱状結晶の内部は実質的に単結晶と見なせる領域であり、かつ、真性または実質的に真性であるので、キャリアの移動を阻害する不純物は存在しないと考える良い。

(2) 図5(A)に示す様な状態において、結晶粒界504がエネルギー的な障壁となつてキャリアの移動する方向を棒状結晶503の延在する方向とほぼ同一方向に規定するので、キャリア同士の衝突による散乱の確率が低減される。

【0085】また、(1)において、真性または実質的に真性であるとは以下の条件のうち、少なくとも一つを満たすことを意味している。

- ① シリコン膜の活性化エネルギーがほぼ1/2 (フェルミレベルが禁制体のほぼ中央に位置する) である。
- ② スピン密度よりも不純物濃度が低い領域である。
- ③ 意図的に不純物を添加していないアンドープな領域である。
- ④ intrinsic (イントリジシク) な領域である。

【0086】例えば、従来のシリコン薄膜を用いたTFTは短チャネル効果の抑制手段としてはチャネルドープが一般的であるが、この手段ではチャネル形成領域における不純物濃度が増加してキャリアの移動が阻害され、TFTの動作速度(電界効果移動度)が悪化してしまう。ところが、前述の様に本発明のTFTはシリコン薄膜自体に短チャネル効果を抑制する効果があるため、真

22

性または実質的に真性なチャネル形成領域を形成することが可能なのである。

【0087】また、逆に結晶粒界504がキャリアの移動を阻害するエネルギー障壁となるので、これと直交する方向(チャネル幅方向)に移動するキャリアの移動度は極めて小さいものになってしまう。

【0088】また、前述の様にドレイン側空乏層の広がりを抑制することで短チャネル効果を防止することが可能と考えられるが、短チャネル効果を防止することでドレイン耐圧の向上と共にサブスレッショルド特性の向上も望める。サブスレッショルド特性の向上は、本構成を用いることでドレイン側空乏層の占める体積を減じることができるという推論から以下の様に説明できる。

【0089】本発明者らの推察によれば、図5(B)に示した様に効果的に空乏層の広がりが抑制されることでドレイン側空乏層の占める体積を大幅に減じることができる。従って、総合的な空乏層電荷を小さくできるため、空乏層容量を小さくできると考えられる。ここで、サブスレッショルド係数Sを導出する式は次の近似式で表される。

$$S = \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

【0091】数1において、kはボルツマン定数、Tは絶対温度、qは電荷量、C<sub>d</sub>は空乏層容量、C<sub>it</sub>は界面準位の等価容量、C<sub>ox</sub>はゲイト酸化膜容量である。従って、本構成では空乏層容量C<sub>d</sub>および界面準位の等価容量C<sub>it</sub>を極力小さくすることでC<sub>d</sub> = C<sub>it</sub> = 0となる理想状態、即ちS値が60mV/decadeとなるTFTを実現するのである。

【0092】以上は本発明者らが実際に得た特異な結晶構造体であるシリコン薄膜と、それを用いて実際に試作したTFTの電気特性を結びつけた推察に他ならない。しかしながら、実験データは事実であり、従来のシリコン薄膜を用いたTFTとはまるで異なる優れた性能を有することは先にも述べたとおりである。

【0093】そして、本実施例で示す様な電気特性および効果を有するTFTだからこそ高周波駆動にも低周波駆動にも対応しうる回路を、従来のチャネルドープの様な特別な工夫を要することなく同一基板上に構成することが可能となる。即ち、本実施例に示したシリコン薄膜を得ることで、図1に示す様なアクティブマトリクスディスプレイを構成することが可能となったのである。

【0094】〔実施例2〕本実施例では図1に示すアクティブマトリクスディスプレイにおけるソース線ドライバー回路103、ゲイト線ドライバー回路104、ロジック回路105を構成するための基本構造となるCMOS構造の断面図を図6(A)に、画素マトリクス回路102を構成する画素TFT 111及び画素領域110の断

(13)

23

面図を図6 (B) に示す。なお、本実施例で示す構造は一実施例に過ぎず、本発明を限定するものではない。

【0095】まず、Nチャネル型TFT 601とPチャネル型TFT 602とを相補的に組み合わせたCMOS構造のついて説明する。なお、Nチャネル型TFT 601とPチャネル型TFT 602とは基本的には同一構造である。

【0096】図6 (A) において、603は石英基板、604、606はそれぞれNチャネル型TFTのソース領域およびドレイン領域、605、607はそれぞれPチャネル型TFTのソース領域およびドレイン領域である。また、608、609はそれぞれNチャネル型TFTおよびPチャネル型TFTに配置される一対の低濃度不純物領域、610、611はそれぞれNチャネル型TFTおよびPチャネル型TFTのチャネル形成領域である。

【0097】また、612、613はゲイト絶縁膜、614、615はゲイト電極であり、ゲイト電極614、615の上面および側面にはゲイト電極を陽極酸化して得られる緻密な陽極酸化膜616、617が形成されている。

【0098】また、618は第1の層間絶縁膜、619、620はソース線、621はドレイン線であり、その上には第2の層間絶縁膜622、第3の層間絶縁膜623、第4の層間絶縁膜624が形成されている。

【0099】この時、第2の層間絶縁膜622は画素領域において補助容量を構成する絶縁体となるので、窒化珪素膜や酸化珪素膜またはそれらの積層膜で構成することが望ましい。また、第3の層間絶縁膜623および第4の層間絶縁膜624は寄生容量の低減と平坦化効果を狙って、比誘電率が低く容易に平坦化の可能な有機性樹脂材料（例えばポリイミド、アクリルなど）が好ましい。

【0100】次に、図1における画素領域110および画素TFT 111の断面構造について図6 (B) を用いて説明する。なお、図6 (A) のCMOS構造と図6 (B) の画素TFT 630は同一基板上に一体形成されるため、基本的に同一層は同一材料で形成される。

【0101】また、本実施例では画素TFTとして、1つのゲイト電極で構成されるNチャネル型TFTを実質的に直列に3つ接続した構成を有するトリプルゲイト型TFTを採用した場合の例を示す。

【0102】図6 (B) において、631は石英基板、632はソース領域、633はドレイン領域、634～636はチャネル形成領域である。なお、チャネル形成領域634～636の各両端には一対の低濃度不純物領域637が配置されるが、活性層の基本構造は図6

(A) に示したシングルゲイト型TFTも図6 (B) に示したトリプルゲイト型TFTも同じであるので詳細な説明は省略する。勿論、図6 (B) に示される活性層

24

は、図6 (A) のNチャネル型TFTの活性層と同時に形成される。

【0103】次に、638～640で示されるのはゲイト絶縁膜であり、図6 (A) におけるゲイト絶縁膜612、613と同時に形成される。また、641はゲイト電極、642はゲイト電極を陽極酸化して形成される緻密な陽極酸化膜であり、ゲイト電極641は3つある様に見えるが、実際には全て同一配線である。また、ゲイト電極641、陽極酸化膜642は、それぞれ図6

(A) におけるゲイト電極614、615、陽極酸化膜616、617と同時に形成される。

【0104】次に、643は第1の層間絶縁膜、644はソース線、645は接続配線、646はソース線644と隣接する別のソース線である。ソース線644、646、接続配線645は、図6 (A) におけるソース線619、620、ドレイン線621と同一の層で構成される。本実施例の構成では、図6 (B) に示す様に接続配線651を長めに形成しておき、後に形成される補助容量の面積を稼ぐ（容量を稼ぐ）様にする。

【0105】また、647は第2の層間絶縁膜、648は第3の層間絶縁膜であり、それぞれ図6 (A) における第2の層間絶縁膜622、第3の層間絶縁膜623と同時に形成される層である。また、第3の層間絶縁膜648は649で示される領域において除去され、その上にブラックマスク650が形成される。従って、649で示される領域では、接続配線645と第2の層間絶縁膜647とブラックマスク650との積層構造でなる補助容量651が形成される。

【0106】補助容量651を図6 (B) に示す様な構成とすると、補助容量のキャパシタンス（容量）が第2の層間絶縁膜647で決まるので、比誘電率の高い材料を用いること或いは膜厚を薄くすることで容量を稼ぐことができる。例えば、第2の層間絶縁膜647としては比誘電率の高い絶縁膜が好ましい。また、その膜厚は100～300 Åの厚さが適当である。

【0107】ただし、補助容量651を形成するには649で示される領域において第2の層間絶縁膜647のみを残して第3の層間絶縁膜648を除去しなくてはならないので、第2、第3の層間絶縁膜はそれぞれエッチングの選択性が採れなくてはならない。その様な意味で、第2の層間絶縁膜647としては酸化珪素膜または窒化珪素膜と窒化珪素膜との積層膜が有効である。

【0108】次に、ブラックマスク650は第4の層間絶縁膜652で覆われ、その上には画素電極653が形成される。この時、画素電極653は接続配線645を介してドレイン領域633と電氣的に接続する。このため、補助容量651は画素電極653に対して直列に接続された容量と見なせる。なお、第4の層間絶縁膜652は図6 (A) における第4の層間絶縁膜624と同一層である。

(14)

25

【0109】654で示される基板は対向電極655を成膜した対向基板であって、アクティブマトリクス基板631と対向基板654とを貼り合わせることで液晶層656を挟持し、図1における液晶セル112が形成される。

【0110】次に、図7を用いて画素領域110の上面図を説明する。なお、図7においては画素電極714よりも上の層（液晶層や対向基板等）を図示しないが、基本的にはA-A'で示される点線で切断した断面図が図6（B）に相当する。

【0111】図7において701、702は活性層、703、704はゲイト線、705、706はソース線である。実際には複数本のソース線とゲイト配線とが直交する様に配置され、ソース線とゲイト線とで囲まれた複数のマトリクス状に配置された領域が図1における画素領域110として機能する。また、ゲイト配線704は図6（B）のゲイト電極641に、ソース線705、706はそれぞれ図6（B）のソース線644、646に相当する。

【0112】また、活性層702の上方では3箇所においてゲイト線704が重畳する。即ち、3つの画素TFTを直列に接続したのと同様の構造となるトリプルゲイト型TFTが構成される。勿論、ここでは一例としてトリプルゲイト型TFTの例を示したが、シングルゲイト型TFTであっても構わない。

【0113】また、ゲイト配線705、706を活性層701、702よりも下層に配置して逆スタガ型TFTの様な構造とすることも可能である。その場合、シリコン薄膜の作製過程で行われる図2（E）の様な加熱処理にも耐えうる様に、ゲイト電極としてはポリシリコン膜の様な耐熱性の高い材料を用いるのが好ましい。

【0114】次に、707は活性層702（ソース領域632）とソース線705とのコンタクト部、708は活性層702（ドレイン領域633）と接続配線709とのコンタクト部、710は接続配線709と画素電極711とのコンタクト部である。接続配線709は図6（B）における接続配線645に相当する。

【0115】712の斜線で示される領域は図6（B）において650で示されるブラックマスクであり、活性層701、702、ゲイト配線703、704、ソース線705、706上を遮蔽する様にして形成される。また、ブラックマスク712は713で示される領域（図6（B）における649で示される領域）において接続配線709と重畳し、接続配線709との間に補助容量を形成する。

【0116】また、ブラックマスク712上には第2の層間絶縁膜652を介して画素電極711（図6（B）の画素電極653に相当する）が配置されている。画素電極714はその淵部分が必ずブラックマスク712によって遮光される構成とし、ブラックマスク712と重

26

畳しない714で示される領域が画像を形成する画像表示領域となる。なお、実際には、画素電極711の上には図6（B）に示す様に対向基板654、対向電極655、液晶層656が配置されて図1に示す液晶セル112を構成する。

【0117】次に、図6（A）に示したCMOS構造及び図6（B）に示した画素領域を同一基板上に形成するための作製工程について、図8、図9を用いて説明する。なお、対応関係を明確にするために図6（A）、図6（B）の説明で用いた符号を必要に応じて使用する。

【0118】まず、石英基板801上に実施例1に示した工程によって本発明のシリコン薄膜でなる活性層802～804および後のゲイト絶縁膜の原型となる第1の絶縁膜805を形成する。この時、802がNチャネル型TFT601の活性層、803がPチャネル型TFT602の活性層、603が画素TFT630の活性層となる。（図8（A））

【0119】以下に記載するゲイト電極の形成からイオン注入に至るまでの工程は本発明者らによる特開平7-135318号公報記載の技術によるものである。従って、詳細な条件等は同公報を参考にすると良い。

【0120】活性層802～804の上方にアルミニウムを主成分とする材料でなるパターンを形成した後、2度の陽極酸化により多孔質状の陽極酸化膜806～808および緻密な陽極酸化膜616、617、642を形成する。また、陽極酸化工程の後、ゲイト電極614、615、641が画定する。また、前述の様に画素TFT630は図7の様な構成のトリプルゲイト型TFTであるのでゲイト電極641、多孔質状の陽極酸化膜808、緻密な陽極酸化膜642は図示される3つのパターン全でに共通である。

【0121】こうして図8（B）に示す状態が得られたら、ゲイト電極および多孔質状の陽極酸化膜をマスクとして第1の絶縁膜805のドライエッチングを行い、ゲイト絶縁膜612、613、638～640を形成する。

【0122】そして、多孔質状の陽極酸化膜806～808を除去し、高加速Pイオン注入及び低加速Pイオン注入を行う。この工程によってNチャネル型TFT601のソース領域604、ドレイン領域606、低濃度不純物領域（LDD領域と呼ばれる場合もある）608、チャネル形成領域610が形成される。また、画素TFT630（Nチャネル型）のソース領域632、ドレイン領域633、低濃度不純物領域637、チャネル形成領域634～636が形成される。

【0123】なお、この時Pチャネル型TFT602の活性層にもPイオンが添加されて前述のソース領域604、ドレイン領域606と同濃度のPイオンを含んだ領域809、810及び前述の低濃度不純物領域608と同濃度のPイオンを含んだ領域811が形成される。



(15)

27

【0124】次に、Pチャネル型TFT602のみが露出する様にレジストマスク812を設け、高加速Bイオン注入及び低加速Bイオン注入を行う。この工程によって図8(C)におけるPイオンを含んだ領域809~811は全てP型に反転してPチャネル型TFT602のソース領域605、ドレイン領域607、低濃度不純物領域609、チャネル形成領域611が形成される。

(図8(D))

【0125】以上の様なイオン注入工程を利用すると、1回のパターンニング工程のみでNチャネル型TFTの活性層とPチャネル型TFTの活性層とを同一基板上に形成することができる。特に、本実施例では特開平7-135318号公報記載の技術と組み合わせて利用しているので、サイドウォールを形成する様な特殊な工程を必要としないで容易に低濃度不純物領域を形成することができる。

【0126】また、イオン注入工程の後には添加した不純物イオンの活性化及びイオン注入で乱れた活性層の結晶性の修復を行う。活性化手段としてはファーネスアニール、レーザーアニール、ランプアニール等の加熱手段を用いれば良い。

【0127】次に、第1の層間絶縁膜618(または643)として酸化珪素膜を成膜し、コンタクトホールを形成した後、ソース線619、620、644、646及びドレイン線621、接続配線645を形成する。その後、第2の層間絶縁膜622(または647)として500Å厚の窒化珪素膜および250Å厚の酸化珪素膜の順に積層膜を形成する。

【0128】さらに、第3の層間絶縁膜623(または648)としてポリイミドを0.5~3 $\mu\text{m}$ (好ましくは1~1.5 $\mu\text{m}$ )の厚さに形成する。また、第3の層間絶縁膜623において649で示される領域には補助容量を形成するための開口部を設けておく。開口部の形成はドライエッチング法によって行えば良い。この時、第2の層間絶縁膜622の酸化珪素膜がポリイミドのエッチングストッパーとして機能する。(図9(A))

【0129】次に、ブラックマスク650としてチタン膜を2000Åの厚さに形成し、同時に補助容量651が形成される。さらに、第4の層間絶縁膜624(または652)としてポリイミドを0.5~3 $\mu\text{m}$ (好ましくは1~1.5 $\mu\text{m}$ )の厚さに成膜する。そして、コンタクトホールを形成した後、透明導電膜でなる画素電極653を形成する。

【0130】この様に、第3の層間絶縁膜623及び第4の層間絶縁膜624を有機性樹脂材料(代表的にはポリイミド、アクリル、ポリアミド、ポリイミドアミド等)で形成することは本発明において重要な要素である。有機性樹脂材料の最も大きな特徴は比誘電率が低い(2.0~3.4程度)にあり、これにより配線間の寄生容量を大幅に低減することができる。即ち、ロジック回路など高周波駆動を必要とする回路を構成する際に動

28

作速度の低下を効果的に抑制することができる。

【0131】最後に、得られたTFT全体を水素雰囲気において加熱処理して水素化を行い、活性層中のダングリングボンドの低減を図る。こうして、図9(B)に示す様な、CMOS構造および画素TFTが同一基板上に一体形成されたアクティブマトリクスディスプレイが完成する。なお、完成したTFTを窒化珪素膜等のパッシベーション膜で覆うことはTFTの経時劣化を防ぐ上で有効である。

【0132】〔実施例3〕実施例1には図1に示すアクティブマトリクスディスプレイを構成するにあたって本発明者らの発明したシリコン薄膜が必要であることを述べ、実施例2では実際にそのシリコン薄膜を用いたTFTで構成されるCMOS構造および画素TFT構造並びにその作製工程について説明した。

【0133】本実施例では図1に示した様なアクティブマトリクスディスプレイに本発明のTFTを配置する場合を想定して、用途別(回路構成別)に最適な回路特性を得るための構成について説明する。

【0134】本実施例の基本的な主旨は、ロジック回路毎に必要な駆動能力が異なることを踏まえて、ロジック毎に最適な特性或いは最低限必要な特性が得られる様に回路を構成するTFTの構造を最適化することにある。そのための手段について、図10(A)に示す様なブロック図で示されるVGA(640×480画素)対応のアクティブマトリクス型液晶表示装置を構成した場合を想定して説明する。

【0135】図10(A)において、11は画素マトリクス回路、12は水平走査用発振器、13は水平走査用シフトレジスタ、14はD/Aコンバータ、15は垂直走査用発振器、16は垂直走査用シフトレジスタ、17、18はバッファである。ここではデジタル駆動を念頭にいた回路構成としているので、水平走査用シフトレジスタ13にはラッチ回路が含まれる。また、19は位相比較器(ローパスフィルターを含む)、20は電圧制御型発振器、21は分周器、22は演算回路、23はメモリ回路である。また、24は水平・垂直同期信号、25は階調表示のためのアナログ信号、26はアナログ信号25を選択するためのビット信号(デジタル信号)、27は外部から送られる画像信号である。

【0136】なお、図1で示したアクティブマトリクスディスプレイにおいて、ロジック回路105には、図10(A)における水平走査用発振器12、A/Dコンバータ14、垂直走査用発振器15、位相比較器19、電圧制御型発振器20、分周器21、演算回路22、メモリ回路23等の全ての回路が含まれ、必要に応じて適当な配置で形成すれば良い。

【0137】図10(A)に示す様なブロック図において、各機能を有する電気回路(画素マトリクス回路、ドライバ回路およびロジック回路)はその機能によって

(16)

29

異なる性能（特性）が要求される。特に、ロジック回路は従来ICで行ってきた処理をTFTで行うことになるため、駆動周波数（その回路を駆動するためのクロック周波数等）は非常に高いものまで要求される。

【0138】駆動周波数は基本的には速ければ速い程良いとも言えるのだが、最大駆動周波数は回路を構成する個々のTFTの性能が大きく影響するため、実施例1で説明した様な高速駆動の可能なTFTを使用することが前提となる。

【0139】例えば、VGAの場合、水平・垂直同期信号24およびクロック信号は25MHz程度である。即ち、画像信号を忠実にディスプレイに再現するためには水平走査用シフトレジスタ13、垂直走査用シフトレジスタ16を駆動するクロック周波数としては、最低限でも25MHz、好ましくは50MHz程度が要求される。そのため、各シフトレジスタ13、16からソース信号やゲート信号を受け取るD/Aコンバータ14、バッファ17、18、画素マトリクス回路11も全て50MHz（0.05GHz）程度の駆動周波数が必要とされる。

【0140】また、各シフトレジスタ13、16に対して水平・垂直同期信号24と同期したクロック信号を発振する水平走査用発振器12、垂直走査用発振器15は、シフトレジスタ13、16の数倍の駆動周波数が必要となるため、0.1～0.5GHz程度の高い駆動周波数が必要とされる場合がある。

【0141】さらに、このクロック信号と水平・垂直同期信号24との位相差を補正して同期させるための機能は、位相比較器19、電圧制御型発振器20、分周器21によって行われる。そのため、位相比較器19、電圧制御型発振器20、分周器21のそれぞれもまた、0.1～0.5GHz程度の駆動周波数が必要となる。

【0142】また、図10（A）のブロック図に示される様に、演算回路22において水平・垂直同期信号24やアナログ信号25を発振する構成とする場合、演算回路22には極めて高い駆動周波数（0.2～2GHz）が要求されうる。それと同時に画像信号を一時的に記憶しておくためのメモリ回路23も、演算回路22との情報を高速に行うためには0.2～2GHzもの駆動周波数が必要となる。

【0143】以上の様に、図10のブロック図で示される様な回路構成を同一基板上に形成するためには、極めて幅広い駆動周波数域に対応できるTFTを実現しなくてはならない。だが本発明の場合には、個々のTFTの周波数特性が理論的にチャンネル長 $L$ の2乗の逆数に比例して増加することを利用して、チャンネル長の制御によって所望の周波数を得ることができる。

【0144】勿論、チャンネル長を変えるだけで所望の駆動周波数を得られるという特徴は、本発明に用いるシリコン薄膜がその特異な結晶構造によってチャンネルドー

30

法を用いずに短チャンネル効果を抑制できるため得られるのである。

【0145】ところで、チャンネル長（ $L$ ）を小さくすることで周波数特性の向上を図ると、一方でTFTのドレイン耐圧が問題となる。この問題はドレイン近傍にかかる電界を弱めることで解決できる。この様な場合、高周波駆動をさせつつドレイン耐圧を確保するためには、動作電圧（電源電圧： $V_{DD}$ ）を下げてドレイン接合にかかる負担を低減することが好ましい。そのためにはしきい値電圧を下げる必要が生じる。

【0146】従来は短チャンネル効果によるしきい値電圧の低下をチャンネルドーピングによって抑制していたが、本発明のTFTの場合にはシリコン薄膜に生じる狭チャンネル効果によって相殺している。そのため、ゲート絶縁膜の膜厚を薄くすることで容易にしきい値電圧の制御を行うことができる。

【0147】その場合、ゲート絶縁膜の膜厚の制御は、マスクを使って選択的に積層する方法や、いわゆるLOCOS法のようにマスクを用いて選択的にシリコン薄膜を酸化する方法などを用いれば良い。

【0148】従って、チャンネル長（ $L$ ）およびゲート絶縁膜の膜厚（ $T$ ）を必要な回路に応じて変化させることで所望の駆動周波数および動作電圧での動作を行わせることが可能となる。ただし、この様な本実施例の構成は実施例1に示した本発明のTFTだからこそ可能なものであって、従来のTFTでは短チャンネル効果の影響を受けてしまって本構成を実施するのは極めて困難である。

【0149】また、適切な回路設計を行うためには、駆動周波数だけでなく必要とする動作電圧をも考慮しておくことが必要であるが、消費電力は動作電圧（ $V_{DD}$ ）の2乗に比例して増加するため、基本的に動作電圧は低いことが望ましい。

【0150】しかしながら、図10（A）において画素マトリクス回路11を構成する画素TFTは、液晶材料のしきい値電圧（TN材料で±5V）と画素TFT自身のしきい値電圧（マージンをみて±2～3V）を考慮するため、現状では14～16V程度の動作電圧が必要となる。

【0151】従って、図10（A）においては画素マトリクス回路11、シフトレジスタ13、16、D/Aコンバータ14、バッファ17、18等で14～16V前後が必要となる。また、図10（A）のブロック図には図示していないが、バッファの前にレベルシフタがあればその動作電圧も14～16V前後とする。

【0152】以上の様に、現状の液晶表示装置では主に液晶材料の制約があつて画素マトリクス回路周辺は動作電圧が14～16V程度であることが多い。そこで、本実施例では動作電圧14～16V程度、駆動周波数5.0MHzの性能を有する回路を構成する為に図10（B）に示す様なCMOS構造を採用する。



(17)

31

【0153】図10(B)は図6(A)で説明したCMOS構造であり、ここでは構造についての詳細な説明を省略する。図10(B)において重要なのは、TFTのチャンネル長(L1)28及びゲイト絶縁膜の膜厚(T1)29である。なお、ここで言うチャンネル長とは、チャンネル形成領域の長さ、即ち実質的に電極として機能するゲイト電極の線幅に相当する。従って、チャンネル長にはオフセット領域やLDD領域等の長さは含まれない。

【0154】図10(B)の構造を利用すべき回路の場合、駆動周波数は50MHz程度であるため、本発明のTFTの場合、チャンネル長(L1)28は1.5~2.5(代表的には2 $\mu$ m)で十分である。また、動作電圧は14~16Vと高いのでゲイト絶縁膜の膜厚(T1)は1000~2000Å(代表的には1200Å)と少し厚めに形成することでドレイン耐圧を高める。

【0155】なお、図10(B)に示した様な10Vを超える高い動作電圧領域で駆動する必要のあるTFTを本発明者らは高耐圧駆動型TFT(または低周波駆動型TFT)と呼んでいる。高耐圧駆動型TFTはゲイト絶縁膜の膜厚を1000Å以上とすることが望ましい。

【0156】なお、本発明のTFTは1.6V駆動でも問題なく動作することが実験的に確かめられているが、トリプルゲイト型の画素TFTを利用したり、シフトレジスタ13、16、D/Aコンバータ14を9~10Vで駆動させるなど、TFTのドレイン耐圧に余裕を持たせる工夫を行うことは信頼性の向上や消費電力の低減に有効である。また、9~10Vで駆動させるTFTはゲイト絶縁膜の膜厚を700~1000Å(代表的には800Å)程度とすることで駆動周波数をより高めることもできる。

【0157】次に、水平走査用発振器12、垂直走査用発振器15、位相比較器19、電圧制御型発振器20、分周器21の場合についてであるが、これらの回路は0.1~0.5GHz程度の駆動周波数を必要とするため、図10(C)に示す様なCMOS構造を採用する。

【0158】図10(C)に示すCMOS構造の特徴は、図10(B)に示したCMOS構造よりもチャンネル長(L2)30が小さくなり、ゲイト絶縁膜の膜厚(T2)31が薄くなったことにある。即ち、デバイス寸法が全体的に図10(B)の構造よりも小さくなっている。

【0159】本発明のTFTの場合、0.1~0.5GHz程度の駆動周波数を実現するためにはチャンネル長(L2)30を0.5~1.0 $\mu$ m(代表的には0.7 $\mu$ m)のサブミクロン領域で形成すれば良い。また、前述の様に駆動周波数の向上に伴ってドレイン耐圧が問題となるので、ゲイト絶縁膜の膜厚(T2)31を400~600Å(代表的には500Å)とすることで動作電圧を5V程度まで下げられる。

【0160】次に、演算回路22およびメモリ回路23

32

は0.2~2GHz程度の極めて高い駆動周波数を必要とするため、図10(D)に示す様なCMOS構造を採用する。図10(D)に示すCMOS構造は、チャンネル長(L3)32がディープサブミクロン領域にまで微細化され、ゲイト絶縁膜の膜厚(T3)33も極めて薄くなる。

【0161】本発明のTFTの場合、0.2~2GHz程度の駆動周波数を実現するためにはチャンネル長(L3)32を0.1~0.5 $\mu$ m(代表的には0.35 $\mu$ m)とし、ゲイト絶縁膜の膜厚(T3)33を200~400Å(代表的には300Å)とすることで動作電圧を3.3Vにまで引き下げることができる。

【0162】なお、図10(C)、(D)に示した様な0.1GHz以上もの高い駆動周波数領域で駆動するTFTを本発明者らは高周波駆動型TFTと呼んでいる。高周波駆動型TFTはゲイト絶縁膜の膜厚を500Å以下とすることが望ましい。

【0163】以上の様に、必要に応じてTFTのチャンネル長(L)およびゲイト絶縁膜の膜厚(T)を異なるものとするすることで回路が要求する最低限の周波数特性を実現することが可能となり、それによって様々なロジック回路を同一基板上に形成したシステム化されたアクティブマトリクスディスプレイを実現しうる。

【0164】また、駆動周波数を増加させると同時に動作電圧をも低減することが可能なため、非常に消費電力の低いアクティブマトリクスディスプレイを構成することも可能である。また、ロジック回路の様な電気回路を5V(または3.3V)で駆動することは、通常5V(または3.3V)で駆動されるICチップと組み合わせる必要がある場合において、信号の入出力の互換性が良いという利点がある。

【0165】本実施例においては、チャンネル長(L)を0.1~2 $\mu$ mの範囲から適宜選択し、ゲイト絶縁膜の膜厚(T)を200~1500Åの範囲から適宜選択する例を示したが、本実施例に示した具体的な数値等は本発明の一実施例を示すものに過ぎず、これに限定されるものではない。

【0166】本実施例で重要な点は、同一基板上において高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在しうることであって、その結果、画素マトリクス回路、ドライバー回路およびロジック回路を同一基板上に搭載したアクティブマトリクスディスプレイを実現できる点にある。

【0167】今後、デバイスサイズのさらなる微細化が進み、高速動作を必要とする回路が増加することは容易に予想できる。その時、本発明におけるチャンネル長(L)の選択範囲の下限は0.01 $\mu$ mかそれ以下となるであろう。また、ゲイト絶縁膜の膜厚(T)の選択範囲の下限は50Åかそれ以下となると思われる。本発明者らは将来、本発明のTFTによって2GHz以上の超高周波駆

(18)

33

動を行うロジック回路が形成される可能性をも想定しており、その様な場合においては本発明はさらに有効な技術となると考えている。

【0168】〔実施例4〕本実施例では本発明のTFTを利用した各種ロジック回路の回路構成について簡単な説明を行う。図1に示すアクティブマトリクスディスプレイを例にとって説明する前に、基本となるインバータ等の構成を図11を用いて説明する。

【0169】まず、図11(A)はインバータ回路であり、Pチャネル型TFT41及びNチャネル型TFT42とを相補的に組み合わせたCMOS構造で構成される。インバータ回路の回路記号は43の様に表される。

【0170】図11(B)はクロックドインバータであり、Pチャネル型TFT44、45及びNチャネル型TFT46、47とで構成される。この場合、Nチャネル型TFT46、47のゲイト電極にクロック信号CLが入力され、Pチャネル型TFT44、45のゲイト電極には反転したクロック信号CL'が入力される。クロックドインバータの回路記号は48の様に表される。また、Nチャネル型TFTとPチャネル型TFTに入力されるクロック信号を入れ換えると、図11(B)に示すクロックドインバータ44がオン状態の時にオフ状態となる様な逆極性のクロックドインバータとなる。

【0171】図11(C)に示す回路はアナログスイッチであり、インバータ49とNチャネル型TFT50及びPチャネル型TFT51とで構成され、Nチャネル型TFT50にはクロック信号CLが、Pチャネル型TFT52には反転したクロック信号CL'が入力される。アナログスイッチの回路記号は52の様に表される。このアナログスイッチは図11(B)に示されるクロックドインバータと同様の機能を有する。勿論、入力するクロック信号の極性を切り換えることで、アナログスイッチの極性(オン/オフ動作)を逆にすることができる。

【0172】図11(D)に示すのはNAND回路であり、Pチャネル型TFT53、54及びNチャネル型TFT55、56で構成される。NAND回路の回路記号は57の様に表される。また、図11(E)に示すのはNOR回路であり、Pチャネル型TFT58、59及びNチャネル型TFT60、61で構成される。NOR回路の回路記号は62の様に表される。図11(D)に示されるNAND回路は入力信号の論理積の反転信号を出力し、図11(E)に示されるNOR回路は入力信号の論理和の反転信号を出力する。

【0173】次に、図1のアクティブマトリクスディスプレイにおいて、ソース線ドライバー回路103に含まれる水平走査用シフトレジスタおよびラッチ回路の基本構造の一例について、図12を用いて簡単に説明する。

勿論、シフトレジスタおよびラッチの構成はこれに限定されるものではなく、例えば、信号の進行方向を入れ換えても動作する双方向シフトレジスタを用いても構わない。

34

い。

【0174】まず、図12(A)はシフトレジスタ回路を示している。シフトレジスタ回路は基本的に複数段のインバータ63、クロックドインバータ64、65の組み合わせが直列に連なって構成される。この時、インバータ63の構造は図11(A)、クロックドインバータ64の構造は図11(B)に示す様になっている。なお、クロックドインバータ65はクロックドインバータ64がオン状態にある時にオフ状態となる様に、反転したクロック信号が入力される。また、クロックドインバータ64の代わりに図11(C)に示す様なアナログスイッチを用いても構わない。

【0175】また、本実施例に示す構成ではN段目と(N+1)段目の出力信号を図11(D)に示される様なNAND回路66で論理積をとって出力する様な構成となっているため、①出力信号が重ならない(パルスエッジが急峻になる)、②実質的に2倍の駆動周波数で動作することができる、等の利点を得ることができる。

【0176】次に、シフトレジスタ回路から出力された信号aは、インバータ67を利用して信号aと反転された信号a'とに分けられて、図12(B)に示されるラッチ回路へと進む。そして、信号aと反転された信号a'は複数のビット信号線68毎に接続された1段目のラッチ69のクロック信号として入力される。なお、ビット信号線をN本とすればN<sup>2</sup>階調の画像表示が可能である。

【0177】次に、2段目のラッチ70にクロック信号bおよびb'が入力すると、複数(N個)のラッチ69の保持していた信号が一斉にN個のラッチ70へと進む。そして、ラッチ70に進んだ信号はインバータ71を利用して信号c<sub>1</sub>、d<sub>1</sub>及び反転された信号c<sub>1</sub>'、d<sub>1</sub>'に分けられる。なお、ここでは線順次方式を例としているが、線順次方式でも基本的な動作は同様である。

【0178】こうしてラッチ回路から出力されたビット信号(c<sub>1</sub>、d<sub>1</sub>及びc<sub>1</sub>'、d<sub>1</sub>'...)は図12(C)に示されるD/Aコンバータに進む。図12(C)に示されるD/Aコンバータにおいて、アナログスイッチ72(図11(C)参照)はビット信号線68の本数と同数、即ちN個が直列に接続される。そして、そのN個のアナログスイッチでなる列74がアナログ信号線73の本数と同数、即ちN<sup>2</sup>本だけ並列に並び、各々所定のアナログ信号線と接続している。

【0179】本実施例のD/Aコンバータは複数のアナログスイッチ72を組み合わせることでN<sup>2</sup>本のアナログ信号線73から選択的に階調信号を取り出す構成となっている。以下に動作原理を簡単に説明する。

【0180】まず、1st bit lineからのビット信号(c<sub>1</sub>及びc<sub>1</sub>')を例にとる。図12(B)のラッチ回路から送られたビット信号は、図12(C)において

(19)

35

最上段（1段目）に並ぶ $N^2$ 個のアナログスイッチ全てに対してクロック信号として入力される。そして、 $N^2$ 個のアナログスイッチのうちの幾つかがある規則性をもってオン状態となり、残りがオフ状態となる様に設計される。

【0181】以上の様にして、2段目のアナログスイッチも2nd bit line（d及びd'）からのビット信号をクロック信号としてオン状態またはオフ状態となる。この時、オン／オフ状態は1段目とは異なる規則性をもつ様に設計される。

【0182】3段目以降も以上の様な設計がなされ、最終的には $N^2$ 本だけ並んだ列74のいずれか1列のみは必ず $N$ 個全てのアナログスイッチがオン状態となる様に設計される。この様にして $N^2$ 本のアナログ信号線のうち、常に1本のアナログ信号線のみが選択される様に設計される。

【0183】次に、図1のアクティブマトリクスディスプレイに配置される位相比較器114、LPF（ローパスフィルター）115、電圧制御型発振器116、分周器117の回路構成の一例を図13に示す。

【0184】図13（A）に示すのは位相比較器114であり、4つのNAND回路75（図11（D）参照）、2つのインバータ76（図11（A）参照）を組み合わせで構成される。また、LPF115は位相比較器114の出力端子に接続される抵抗77と容量78とで構成される。

【0185】図13（B）に示すのは電圧制御型発振器116であり、インバータ79、NAND回路80、NOR回路81（図11（E）参照）、Pチャネル型TFT82及びNチャネル型TFT83を組み合わせで構成される。なお、84は定電流源を構成する回路である。

【0186】図13（C）に示すのは分周器117であり、T-F/F（トグルフリップフロップ）回路85を直列に接続して構成される。接続する個数はどの程度まで分周するかによって適宜設定すれば良い。なお、T-F/F回路85はクロックドインバータ86、87及びインバータ88でループを形成して構成する。クロックドインバータ86、87及びインバータ88については既に詳細に説明したので省略する。

【0187】以上、本実施例は図1のアクティブマトリクスディスプレイに組み込む回路構成について説明を行った。しかし、図11（A）～（B）に示した様な基本となる回路を組み合わせることで様々なロジック回路を構成することが可能であり、さらに複雑な回路構成を行うことができる。

【0188】【実施例5】本実施例では図8、図9を用いて説明したものと異なる作製工程でCMOS構造を形成する場合の例について説明する。なお、本実施例における説明は図14を用いてCMOS構造のみに着目して行う。

36

【0189】まず、石英基板1401上に活性層1402、1403を形成する。そして、酸化珪素膜（後のゲイト絶縁膜）1404を形成した後、触媒元素のゲッタリングプロセス（ハロゲン元素を含む雰囲気における加熱処理）を行い、活性層1402、1403を本発明に利用するシリコン薄膜に変成させる。ここまでは、実施例1に示した工程に従って作製することができる。

【0190】次に、活性層1402、1403上にアルミニウムを主成分とする材料でなるパターン（図示せず）を形成し、その後、3%の酒石酸を含んだエチレングリコール溶液中で陽極酸化を行い、緻密な陽極酸化膜1405、1406を形成する。また、ここでゲイト電極1407、1408が画定する。

【0191】こうして図14（A）の状態が得られたら、次にこの状態で活性層1402、1403に対して一導電性を付与する不純物イオンの注入を行う。なお、このイオン注入工程はレジストマスクを利用してNチャネル型TFTにはPイオンを、Pチャネル型TFTにはBイオンを添加する様に行う。そして、このイオン注入工程によりN型不純物領域1409、1410、P型不純物領域1411、1412が形成される。

【0192】不純物イオンの注入が終了したら、窒化珪素膜1413を0.5～1 $\mu$ mの厚さに成膜する。成膜方法は減圧熱CVD法、プラズマCVD法、スパッタ法のいずれであっても良い。また、窒化珪素膜以外に酸化珪素膜を用いても良い。

【0193】こうして図14（B）の状態が得られる。図14（B）の状態が得られたら、次に窒化珪素膜1413をエッチバック法によりエッチングして、ゲイト電極1407、1408の側壁にのみに残存させる。この工程により、ゲイト電極1407、1408の側壁にはサイドウォール1414、1415が形成される。

【0194】次に、サイドウォール1414、1415及びゲイト電極1407、1408をマスクとしてドライエッチング法により酸化珪素膜1404をエッチングする。この工程により、図14（C）に示す様な状態でゲイト絶縁膜1416、1417が形成される。

【0195】そして、図14（C）に示す状態で再び不純物イオンの注入を行なう。このイオン注入工程も先程のイオン注入工程と同様にNチャネル型TFTとPチャネル型TFTとを打ち分ける。また、この時、ドーズ量は先程のイオン注入のドーズ量よりも高めとしておく。

【0196】このイオン注入の際、サイドウォール1414、1415直下の領域1418～1421はイオン注入が行なわれないので、不純物イオンの濃度に変化はない。しかし、露出した領域1422～1425はさらに高濃度の不純物イオンが注入されることになる。

【0197】以上の様な2度目のイオン注入を経て、Nチャネル型TFTのソース領域1422、ドレイン領域1423、低濃度不純物領域1418、1419、チャ



(20)

37

ネル形成領域1426及びPチャネル型TFTのソース領域1425、ドレイン領域1424、低濃度不純物領域1420、1421、チャネル形成領域1427が形成される。(図14(C))

【0198】以上の工程を経て図14(C)の状態が得られたら、300Åの厚さの図示しないタングステン膜を成膜し、タングステン膜とシリコン膜(活性層)とを反応させる。そして、タングステン膜を除去した後、ランブアニール等による加熱処理を行なうことでソース領域1422、1425およびドレイン領域1423、1424の表面にタングステンシリサイド1428～1431を形成する。なお、この工程はタングステン膜の代わりにタンタル膜、チタン膜、モリブデン膜等を用いても良い。

【0199】次に、層間絶縁膜1432として酸化珪素膜を5000Åの厚さに成膜し、ソース線1433、1434、ドレイン線1435を形成する。さらに、画素マトリクス回路を形成する過程で、第2の層間絶縁膜1436、第3の層間絶縁膜1437、第4の層間絶縁膜1438が形成される。こうして図14(D)に示すCMOS構造を得る。

【0200】TFTを本実施例で示す様な構造(シリサイド構造)とすると、ソース/ドレイン電極がチタンシリサイド1428～1431を介してソース/ドレイン領域と接続するので良好なオーミックコンタクトを実現できる。従って、負荷が小さく駆動周波数の高い回路を構成することができる。

【0201】〔実施例6〕本実施例では図8、図9、図14を用いて説明したものと異なる作製工程でCMOS構造を形成する場合の例について説明する。説明は図15を用いる。

【0202】まず、実施例1に示した作製工程に従い、石英基板1501上に活性層1502、1503、後にゲイト絶縁膜となる酸化珪素膜15014を形成する。そして、その上に一導電性を付与したシリコン薄膜であるゲイト電極1505、1506を形成する。(図15(A))

【0203】図15(A)の状態が得られたら、次にこの状態で活性層1502、1503に対して一導電性を付与する不純物イオンの注入を行う。なお、イオン注入工程はPイオンとBイオンを選択的に添加して行う。そして、このイオン注入工程によりN型不純物領域1507、1508、P型不純物領域1509、1510が形成される。

【0204】不純物イオンの注入が終了したら、実施例5と同様の工程でまず酸化珪素膜1511を成膜し、その後エッチバック法を利用してサイドウォール1512、1513を形成する。そして、さらに実施例5と同様の工程で酸化珪素膜1504をエッチングし、ゲイト絶縁膜1514、1515を図15(C)に示す状態で

38

形成する。

【0205】そして、図15(C)に示す状態で再び不純物イオンの注入を行なう。このイオン注入工程も先程のイオン注入工程と同様にNチャネル型TFTとPチャネル型TFTとを打ち分ける。また、この時、ドーズ量は先程のイオン注入のドーズ量よりも高めとしておく。

【0206】こうしてNチャネル型TFTのソース領域1516、ドレイン領域1517、低濃度不純物領域1518、1519、チャネル形成領域1520及びPチャネル型TFTのソース領域1521、ドレイン領域1522、低濃度不純物領域1523、1524、チャネル形成領域1525が形成される。

【0207】次に、実施例5に示した様なシリサイド工程を、チタン膜を用いて行う。その結果、ソース領域1516、1522およびドレイン領域1517、1521、さらにはゲイト電極1505、1506の上面に、チタンシリサイド1526～1531が形成される。

【0208】次に、層間絶縁膜1532を成膜し、ソース線1533、1534、ドレイン線極1535を形成し、第2の層間絶縁膜1536、第3の層間絶縁膜1537、第4の層間絶縁膜1538を形成して図15(D)に示すCMOS構造を得る。本実施例の場合も、チタンシリサイドを介して配線とTFTの良好なオーミックコンタクトを実現できる。本実施例の利点は、ゲイト電極1505、1506の上にもチタンシリサイド1530、1531が形成されるので、ゲイト線にかかる負荷抵抗を低減することができる点である。

【0209】〔実施例7〕本発明を実施するにあたって、実施例1の図2で説明したプロセスによって得られたシリコン薄膜が必要であることは既に述べた。本実施例では、実施例1とは異なる手段で結晶化したシリコン薄膜を本発明に用いる場合の例を示す。

【0210】図2において、図2(C)に示す状態(結晶化のための加熱処理が終了した段階)を得たら、マスクとなった酸化珪素膜203を除去する。酸化珪素膜203を除去したら、KrF(波長248nm)、XeCl(波長308nm)等を励起ガスとして利用したエキシマレーザーによるアニールを行う。なお、このレーザーアニール工程はシリコン薄膜を島状パターンに加工する前でも後でもどちらで行っても構わない。

【0211】上記レーザーアニールによって、結晶シリコン薄膜に僅かに残存した非晶質成分の結晶化及び結晶シリコンの結晶性の著しい改善が行われる。この様にして得られたシリコン薄膜を用いても、本発明のアクティブマトリクスディスプレイを形成しうる。本実施例の利点は、アクティブマトリクスディスプレイのサブストレータ基板として安価なガラス基板を使用できる点である。即ち、製造コストの低減を図ることができる。

【0212】ただし、本発明を実施する上で最も望ましい形態は実施例1に示したシリコン薄膜を活用したTFT

(21)

39

Tを用いることであり、本実施例は基板としてガラス基板等の低耐熱性基板を使用する必要性が生じた場合のみに使用するのが好ましい。

【0213】また、実施例1に示した工程と本実施例の工程とを組み合わせても良い。即ち、レーザーアニール工程の後に触媒元素のゲッタリングプロセスを行う構成としても構わない。その場合、さらに高い結晶性のシリコン薄膜を形成しうる。

【0214】〔実施例8〕本実施例では特開平7-130652号公報記載の技術とは異なる手段で結晶化を助長する触媒元素を添加する例を示す。なお、本実施例は実施例1と実施例6のどちらの結晶化手段をとる場合においても有効である。

【0215】図16(A)において、1601は絶縁表面を有する基板（ガラス基板または石英基板）、1602は酸化珪素膜でなる下地膜、1603は非晶質シリコン薄膜、1604はバッファ層となる酸化珪素膜（窒化珪素膜や酸化窒化珪素膜でも構わない）である。

【0216】また、1605はレジストマスクであり、触媒元素を添加する領域のみを除去しておく。レジストマスクの露光はエキシマレーザーを用いた露光法や電子ビームを用いた露光法などを用いることが好ましい。

【0217】これらの露光法は極めて微細なパターン形成が可能となるので  $0.01 \sim 1.0 \mu\text{m}$ （代表的には  $0.1 \sim 0.35 \mu\text{m}$ ）のスリット幅で触媒元素の添加領域を形成することができる。また、電子ビーム等で直接レジストパターンを描画すれば、添加領域の形状の自由度も大幅に広がる。

【0218】そして、図16(A)の左の図に示す様に、非晶質シリコン薄膜1603中にイオンプロファイル1607のピーク値がくる様にしてイオンを添加する。そのため、シリコン薄膜1603中には所定の濃度（好ましくは  $3 \times 10^{19} \sim 1.5 \times 10^{21} \text{atoms/cm}^3$ ）で触媒元素が添加された領域1606が形成される。なお、イオンの添加方法はイオン注入法（イオンプランテーション等）またはイオンドーピング法（プラズマドーピング等）によれば良いが、触媒元素のみを添加できるイオン注入法の方が好ましい。

【0219】また、本実施例ではバッファ層1604で非晶質シリコン薄膜1603を覆い、バッファ層1604を通過した触媒元素のみを利用する。そのため、次の様な効果を得ることができる。

(1) イオン添加によるダメージが非晶質シリコン薄膜1603に対して直接届かない。  
(2) イオンプロファイル1607のピーク値付近のみを利用するので、触媒元素の添加量を再現性良く制御できる。

【0220】また、バッファ層1604の膜厚は  $100 \sim 1500 \text{\AA}$ （好ましくは  $300 \sim 800 \text{\AA}$ ）とすることで再現性の良いイオンプロファイルが得られる。これ以下の膜厚

40

では殆どのイオンがバッファ層を通過してしまいイオンプロファイルのピーク値付近のみを利用するのが困難となる。また、これ以上の膜厚では加速電圧をかなり高くする必要があるため装置の負担が大きくなる。

【0221】また、この膜厚はバッファ層としてどのような絶縁膜を利用するかで最適値が変化する。例えば、酸化珪素膜よりも緻密な窒化珪素膜を用いることでバッファ層の膜厚を薄くすることができる。

【0222】また、他の実施形態として、図16(B)に示す様な手段も可能である。図16(B)に示す例は、レジストマスクを使用しないで触媒元素イオンを直接的にシリコン薄膜1603中へと添加する方法であり、FIB (Focussed Ion Beam) 法等の様に微細スポットのみにイオンを照射できる様な技術を利用することで実施しうる。

【0223】この実施形態では図16(B)に示す様に、集束イオンビーム1608によって直接的にパターンが描画され、所望の位置に所望の形状で触媒元素の添加領域1609を形成することができる。

【0224】以上の様に、本実施例によれば触媒元素の添加領域の幅を  $0.01 \sim 1.0 \mu\text{m}$ （代表的には  $0.1 \sim 0.35 \mu\text{m}$ ）の微細なものとすることができる。また、電子ビーム法やFIB法等を用いて直接的に添加領域を描画することもできる。以上の効果として、触媒元素を添加する領域の形状や位置をTFTの配置構成に合わせて自由に設計することができる。

【0225】〔実施例9〕本実施例では透過型表示装置の画素領域の構成を図7とは異なる構成とする場合の例を図17に示す。図17に示す構成において、1701、1702は活性層、1703、1704はソース線、1705、1706はゲイト線、1707はソース線1706と活性層（ソース領域）1702とのコンタクト部、1708は接続配線1709と活性層（ドレイン領域）1702とのコンタクト部、1710は接続配線1709と画素電極1711とのコンタクト部である。

【0226】また、1712は補助容量であり、斜線で示されるブラックマスク1713と接続配線1709とが重畳する領域で形成される。また、ブラックマスク1713で遮光されない領域1714が画像表示領域となる。

【0227】本実施例の様な配置構成は、画素領域が縦長の長方形である場合において長手方向（紙面に向かって上または下に向かう方向）に補助容量1712を形成することができるので、十分な補助容量を確保する上で有効である。

【0228】〔実施例10〕本発明はあらゆる電気光学デバイスに対して適用可能であり、アクティブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置、アクティブマトリクス型EC表示装置などに適用す



(22)

41

ることができる。

【0229】また、これらの様なアクティブマトリクス型の表示装置には大別して透過型表示装置と反射型表示装置とがある。例えば、透過型液晶表示装置はアクティブマトリクス基板（TFTを配置する側の基板）の裏側にバックライトを配設し、表示装置を透過する光を見ることで画像を認識するものである。また、反射型液晶表示装置はアクティブマトリクス基板の表面側から入射した光をアクティブマトリクス基板に配置される画素電極で反射し、その反射光を見ることで画像を認識するものである。

【0230】透過型表示装置と反射型表示装置とでTFT構造に大きな差異がないが、画素電極を形成する材料が異なる点に特徴がある。例えば、透過型表示装置を作製する場合、図7における画素電極711（または図17における画素電極1711）としてITO等の透明電極を使用すれば良い。また、反射型表示装置とする場合には、画素電極711（または画素電極1711）として反射効率の高い不透明電極を使用すれば良い。

【0231】この様に、多少TFT構造を変化させれば、本発明は透過型表示装置にも反射型表示装置にも適用できる。特に、反射型表示装置は開口率を問題としないため、透過型表示装置に比べて設計自由度が広がりという利点を有する。例えば透過型液晶表示装置において画素領域は殆ど画像表示領域714（または画像表示領域1714）の様に光を透過する窓部分で構成されているが、反射型液晶表示装置の場合にはその様な画像表示領域の裏側に別の回路を形成することが可能であるため集積度をより高めることができる。

【0232】〔実施例11〕本発明をカラープロジェクション型液晶表示装置に適用した場合の例を図18

(A)に示す。図18(A)は1枚の液晶パネルを用いた単板式プロジェクターの一例であり、白色光源1801、UVフィルター（または熱線フィルター）1802、偏光板1803、1805、液晶パネル1804、投影レンズ1806で構成される。白色光源1801としては、ハロゲンランプ、メタルハライドランプまたは高輝度放電ランプなどを用いることができる。

【0233】また、液晶パネル1804は拡大図で示される様に、R（赤）に対応した画素領域1807、G（緑）に対応した画素領域1808、B（青）に対応した画素領域1809が形成されたアクティブマトリクス基板1810と、R（赤）に対応したカラーフィルター1811、G（緑）に対応したカラーフィルター1812、B（青）に対応したカラーフィルター1813が形成された対向基板1814との間に液晶層1815を挟持して構成される。

【0234】なお、上記構成以外にも様々な構成とすることができる。例えば、光源からの光をダイクロイックミラーでRGBに分光し、それぞれをマイクロレンズを

42

利用してRGBに対応する各画素領域に集光する方法を用いても良い。

【0235】また、図18(B)はRGBに対応した3枚の液晶パネルを用いた三板式プロジェクターの一例であり、白色光源1820、UVフィルター（または熱線フィルター）1821、全反射ミラー1822～1824、ダイクロイックミラー1825～1828、コンデンサレンズ1829～1831、Rに対応した液晶パネル1832、Gに対応した液晶パネル1833、Bに対応した液晶パネル1834、投影レンズ1835とで構成される。

【0236】なお、図18(A)、(B)で示したプロジェクション型液晶表示装置は全面投射型のデータプロジェクタとしても良いし、背面投射型のリア型プロジェクタTVとしても良い。

【0237】本発明のアクティブマトリクスディスプレイをプロジェクション型液晶表示装置として利用することで、信号処理回路等のロジック回路を液晶パネルに組み込んだ構成となるので装置の大幅な小型化、低価格化が実現できる。

【0238】〔実施例12〕本発明は実施例11に示したプロジェクション型液晶表示装置以外にも様々な電気光学デバイスに対して適用することが可能である。本実施例では、本発明を適用しうる電気光学デバイスの一例について図19を用いて説明する。

【0239】本発明を利用した電気光学デバイスの他の例としては、(デジタル)ビデオカメラ、(デジタル)スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。

【0240】図19(A)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示装置2005で構成される。本発明を表示装置2005に適用して表示コントロール回路や演算回路等を組み込むことでカード型モバイルコンピュータを実現する。

【0241】図19(B)はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明を表示装置2102に適用することで大幅に装置の小型化が図れる。

【0242】図19(C)はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。カーナビゲーションシステムには衛星からの情報が送られるため、信号処理には非常に高い駆動周波数の回路が必要となる。本発明を表示装置2202に適用することでカーナビゲーションシステムのさらなる小型化、低価格化が可能となる。

【0243】図19(D)は携帯電話であり、本体23

(23)

43

01、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明を表示装置2304に適用することでデジタル対応の表示モニタを搭載できる。

【0244】図19(E)はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受像部2406で構成される。本発明を表示装置2402に適用することで装置構成が大幅に簡略化されるため、非常に小型な装置を実現しうる。

【0245】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。また、本発明を適用することでアクティブマトリクスディスプレイ自体に様々な機能を持たせることができるため、電気光学デバイスのサイズが極めて小さくなる。将来的にはあらゆる電気光学デバイスがカード化された携帯型電気光学デバイスとなりうる。

【0246】

【発明の効果】まず、本発明を実施する上で極めて重要な基本技術がもたらす効果について述べる。その基本技術とは、触媒元素を利用して結晶化した結晶シリコンに対してハロゲン元素による触媒元素のゲッターリングプロセスを施すことで、極めて特異な結晶構造体を有するシリコン薄膜を得るものである。

【0247】実施例1に示した様な作製工程で形成されるシリコン薄膜を用いたTFTは単結晶シリコンを用いたMOSFETに匹敵するサブスレッショルド係数を有し、高い電界効果移動度を有しているという特徴がある。また、棒状または偏平棒状結晶が複数集合してなる結晶構造体でなるシリコン薄膜は、それ自体に短チャネル効果を抑制する効果があり、TFTを微細化してもチャネルドープ法等に頼る必要がなく、高耐圧・高速動作特性を実現することができる。

【0248】この様な極めて高い性能、即ち駆動周波数域および動作電圧域の幅広いTFTを用いることで、高周波駆動型TFTと高耐圧駆動型TFTとを同一基板上に形成することが可能となる。

【0249】また、チャネルドープ法に頼ることなく短チャネル効果を抑制できるため、TFTのチャネル長

(L)およびゲイト絶縁膜の膜厚(T)を変えるだけで動作性能の異なるTFTを実現できる。従って、回路が要求する特性に応じてチャネル長(L)およびゲイト絶縁膜の膜厚(T)を異なるものとするすることで、真性または実質的に真性なチャネル形成領域を有するTFTを幅広い駆動周波数域および動作電圧域で利用することができる。

【0250】以上の様な効果を得られたことで、同一基板上に高周波駆動型TFTと高耐圧駆動型TFTとを混載したロジック回路、ドライバー回路および画素マトリクス回路を配置したロジック回路内蔵型アクティブマト

44

リクスディスプレイを実現することができる。

【0251】本発明のアクティブマトリクスディスプレイは画素マトリクス回路やドライバー回路以外に、表示コントロール回路、メモリ回路、究極的には演算回路をも含みうるロジック回路を搭載するため、極めて多機能性、携帯性に優れたシステムディスプレイとして機能する。また、高周波駆動回路は動作電圧が必要以上に大きくなならない様に設計されるので、低消費電力性にも優れたものとなる。

10 【0252】さらに、その様なアクティブマトリクスディスプレイを、例えばプロジェクション型液晶表示装置の様な電気光学デバイスに適用することで、極めて小型かつ軽量で、安価な電気光学デバイスを提供することが可能である。

【図面の簡単な説明】

【図1】 アクティブマトリクスディスプレイのブロック図。

【図2】 シリコン薄膜の形成工程を示す図。

【図3】 シリコン薄膜の結晶構造を示すTEM写真。

【図4】 TFTの電気特性を示す図。

【図5】 TFTの構造を示す図。

【図6】 CMOS構造および画素領域の断面を示す図。

【図7】 上面から見た画素領域を示す図。

【図8】 CMOS構造および画素領域の作製工程を示す図。

【図9】 CMOS構造および画素領域の作製工程を示す図。

30 【図10】 回路の配置構成を説明するための図。

【図11】 基本的な回路を示す図。

【図12】 水平走査用ドライバー回路を説明するための図。

【図13】 ロジックを構成する回路を説明するための図。

【図14】 CMOS構造の作製工程を示す図。

【図15】 CMOS構造の作製工程を示す図。

【図16】 触媒元素の添加方法を説明するための図。

【図17】 上面から見た画素領域を示す図。

40 【図18】 プロジェクション型表示装置の構成を示す図。

【図19】 電気光学デバイスへの応用例を示す図。

【符号の説明】

101 基板  
102 画素マトリクス回路  
103 ソース線ドライバー回路  
104 ゲイト線ドライバー回路  
105 ロジック回路  
106、107 ソース線  
108、109 ゲイト線

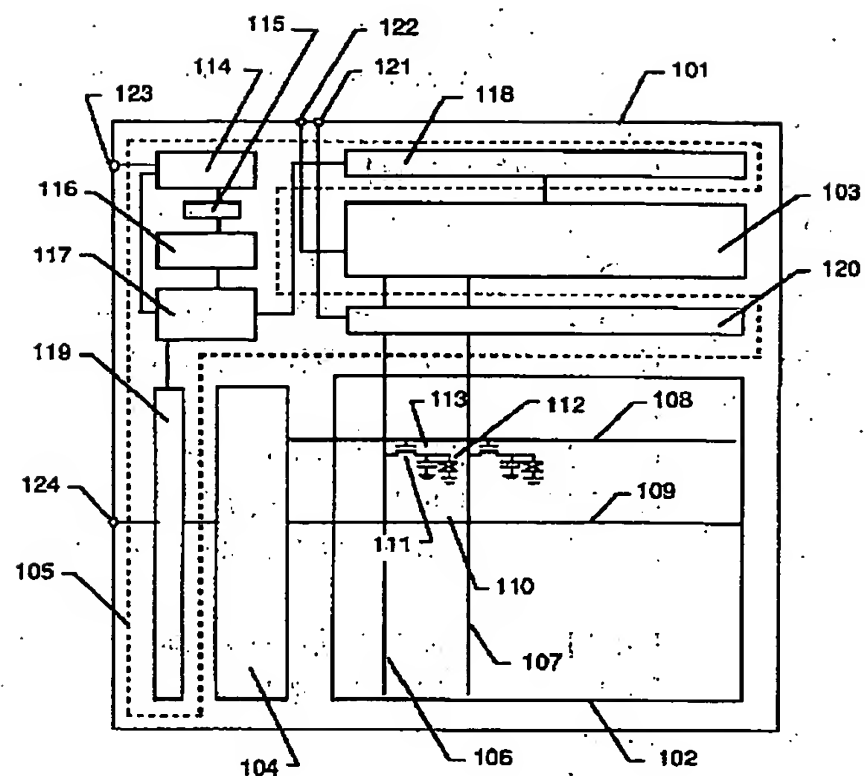
50

(24)

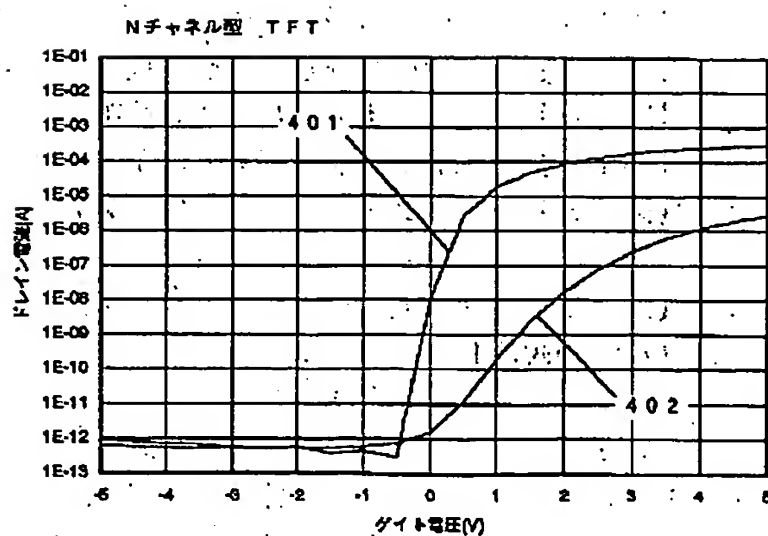
110	画素領域
111	画素TFT
112	液晶セル
113	補助容量
114	位相比較器
115	LPF
116	電圧制御型発振器
117	分周器

45

【図1】



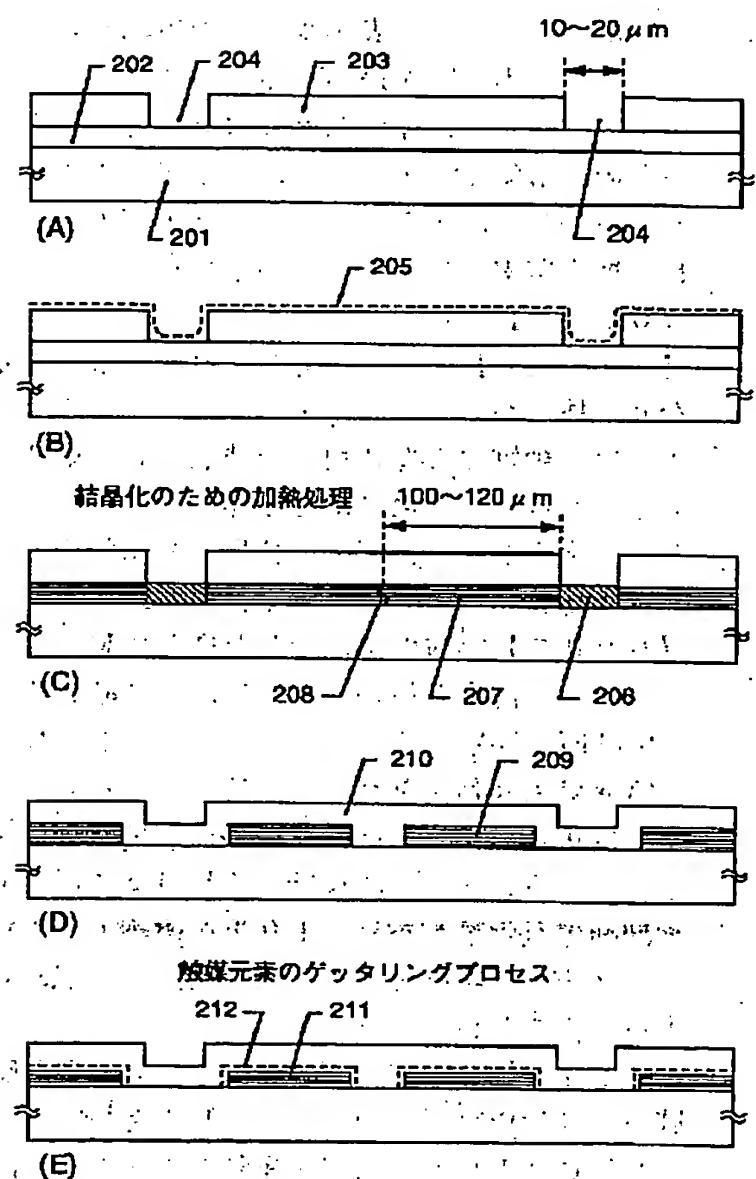
【図4】



46

118	水平走査用発振器
119	垂直走査用発振器
120	D/Aコンバータ
121	アナログ信号の入力端子
122	ビット信号の入力端子
123	水平走査用同期信号の入力端子
124	垂直走査用同期信号の入力端子

【図2】



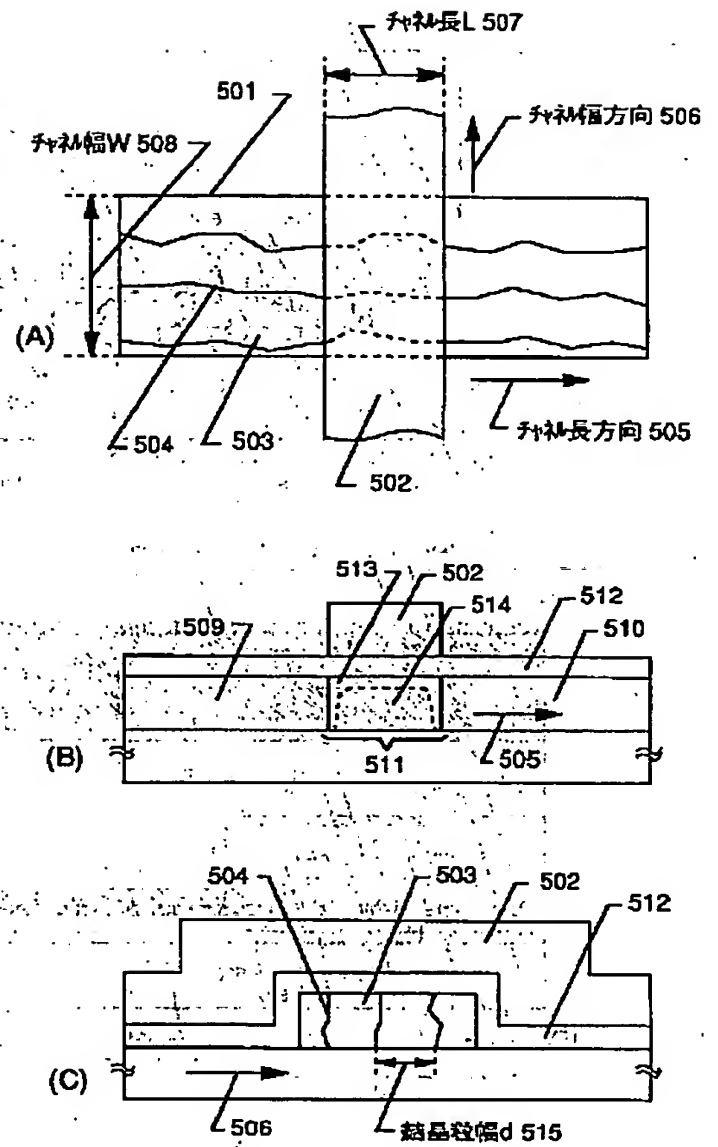
(25)

【図3】

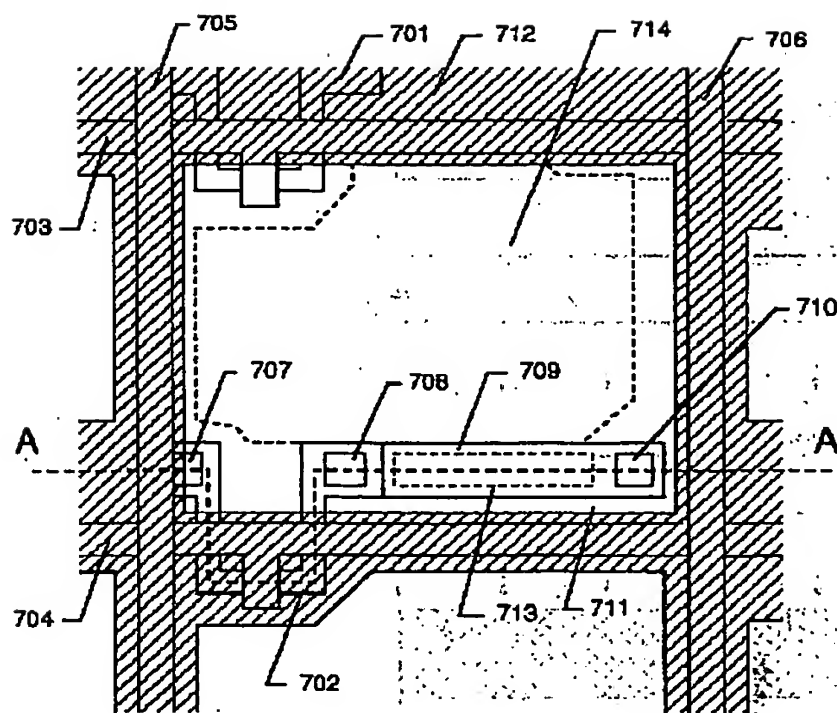
図面代用写真



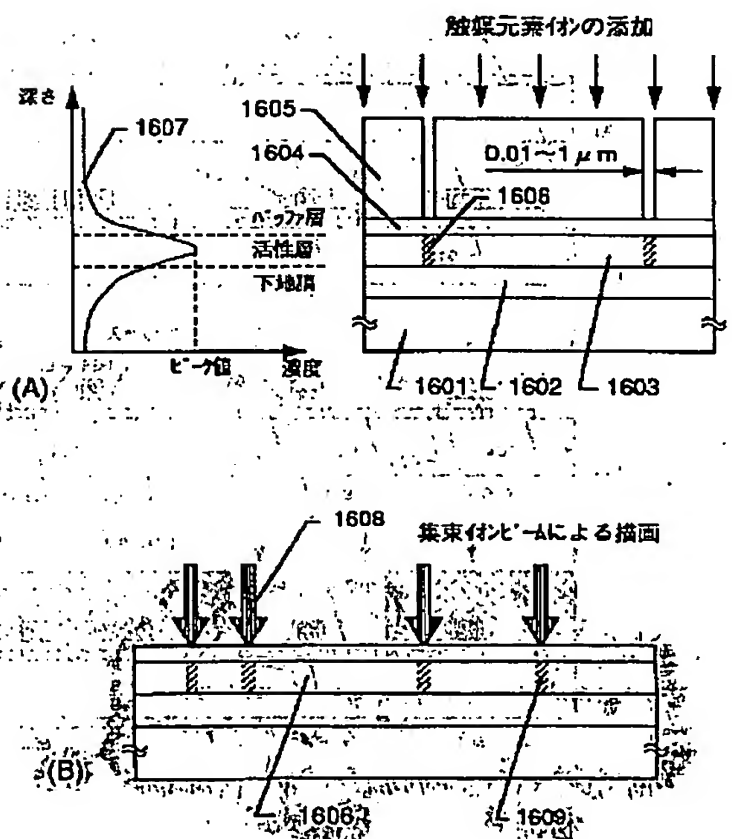
【図5】



【図7】



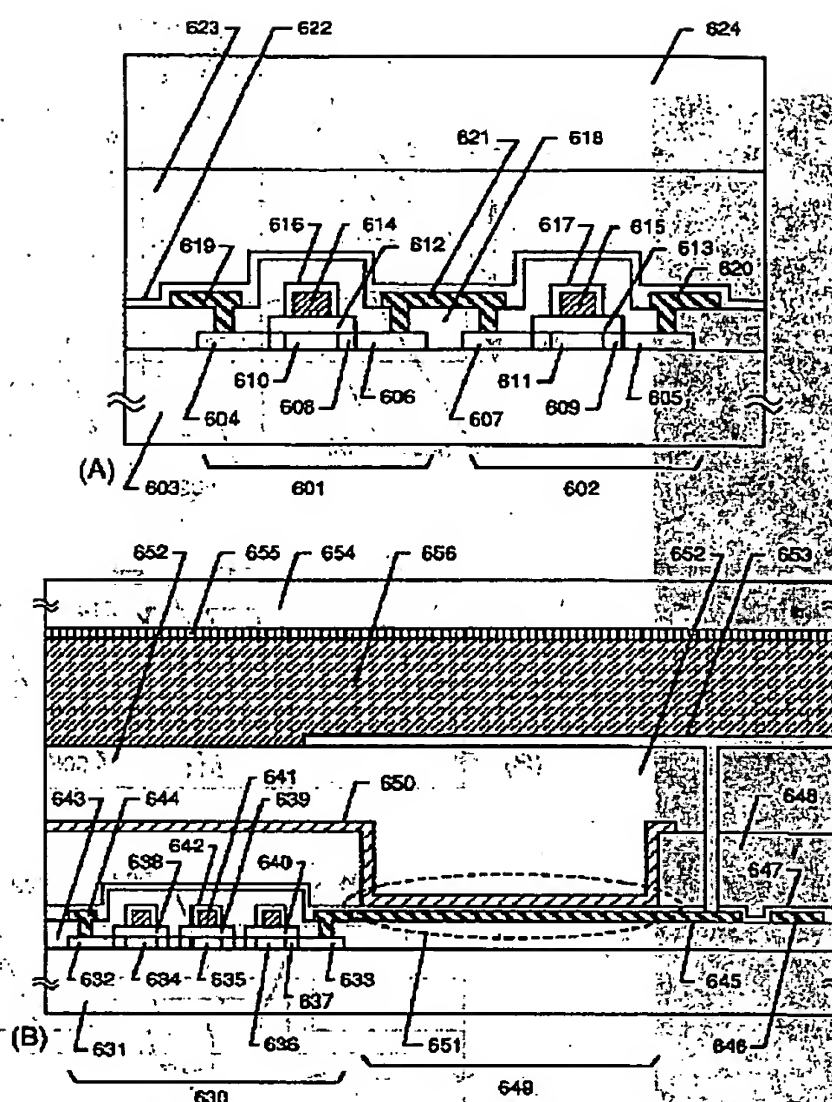
【図16】



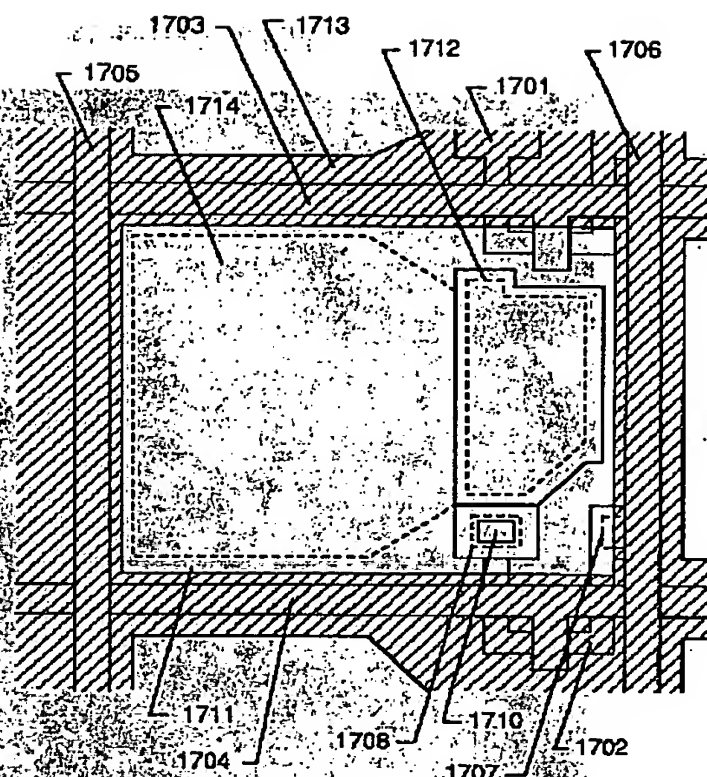


(26)

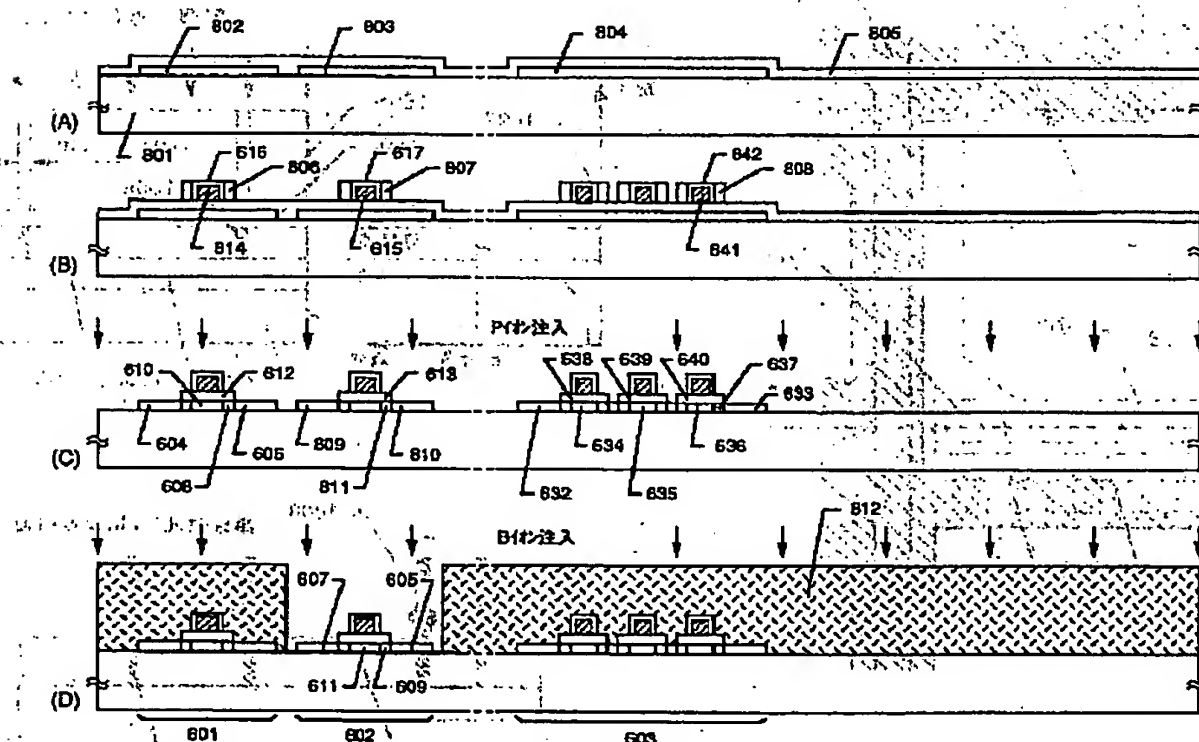
【図6】



【図17】



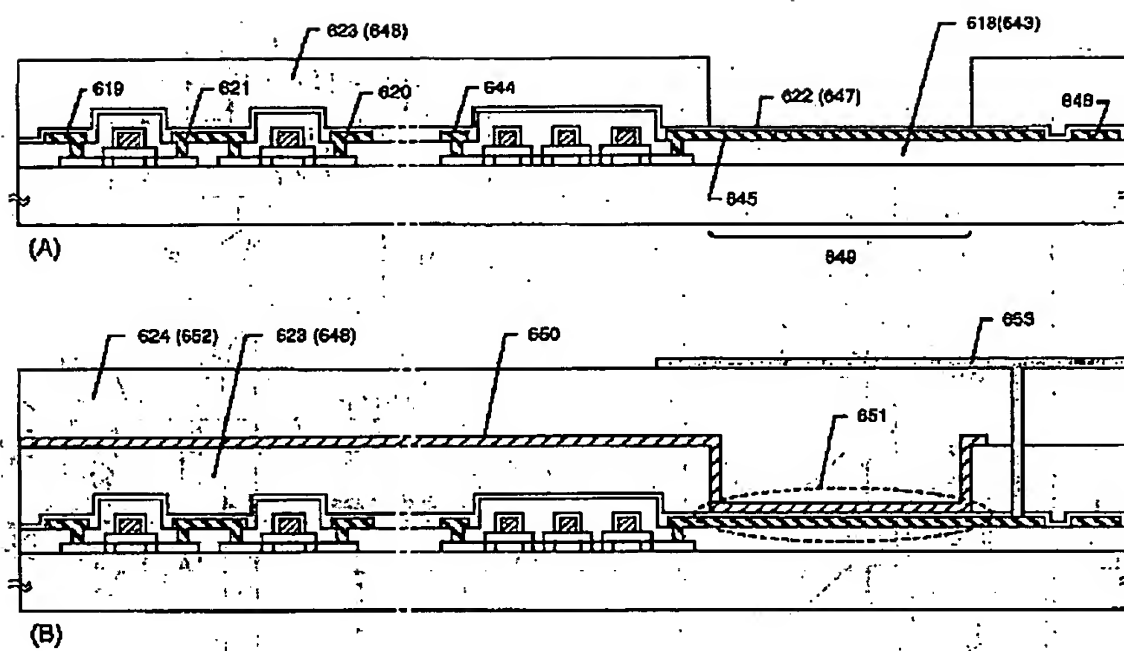
【図8】



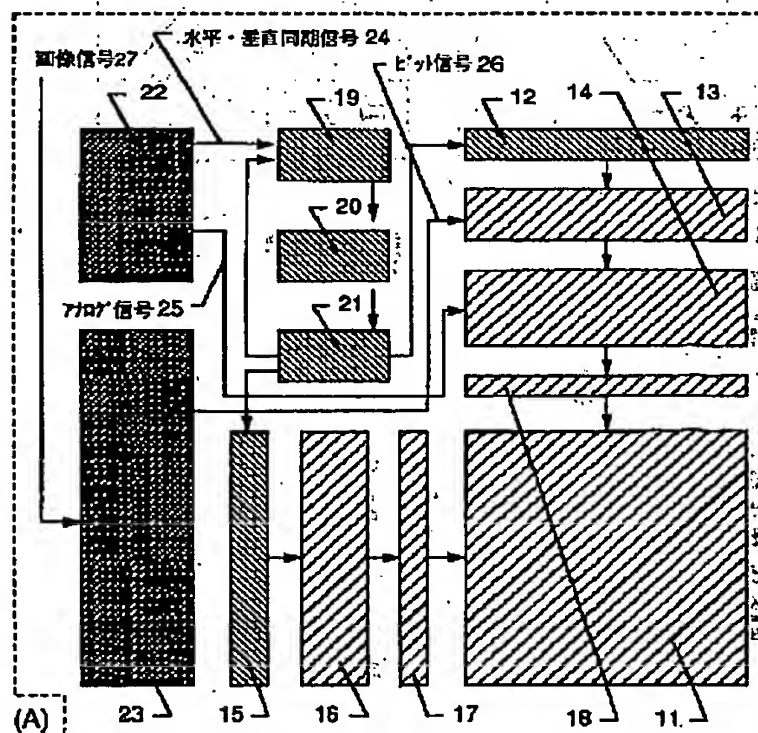
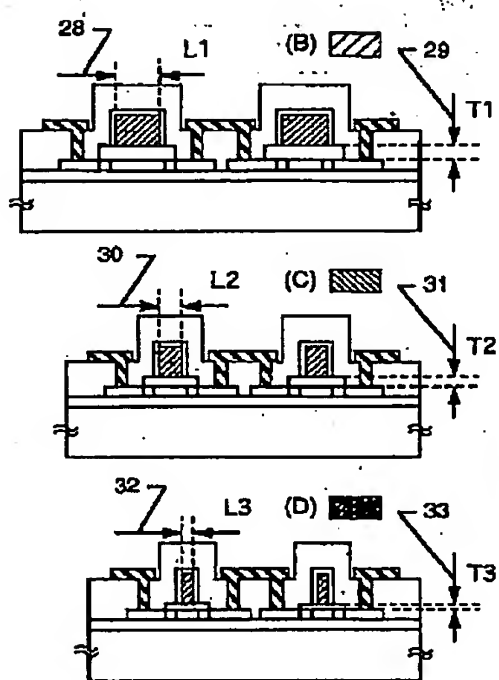


(27)

【図9】

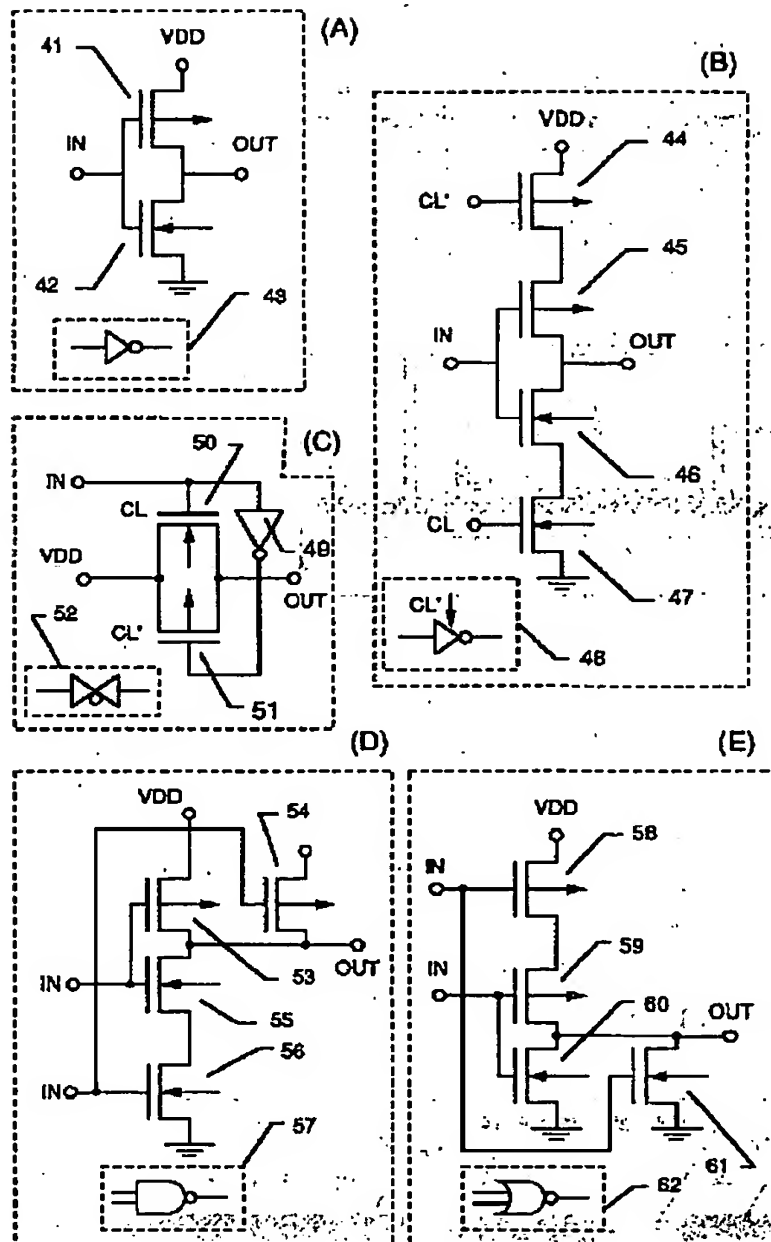


【図10】

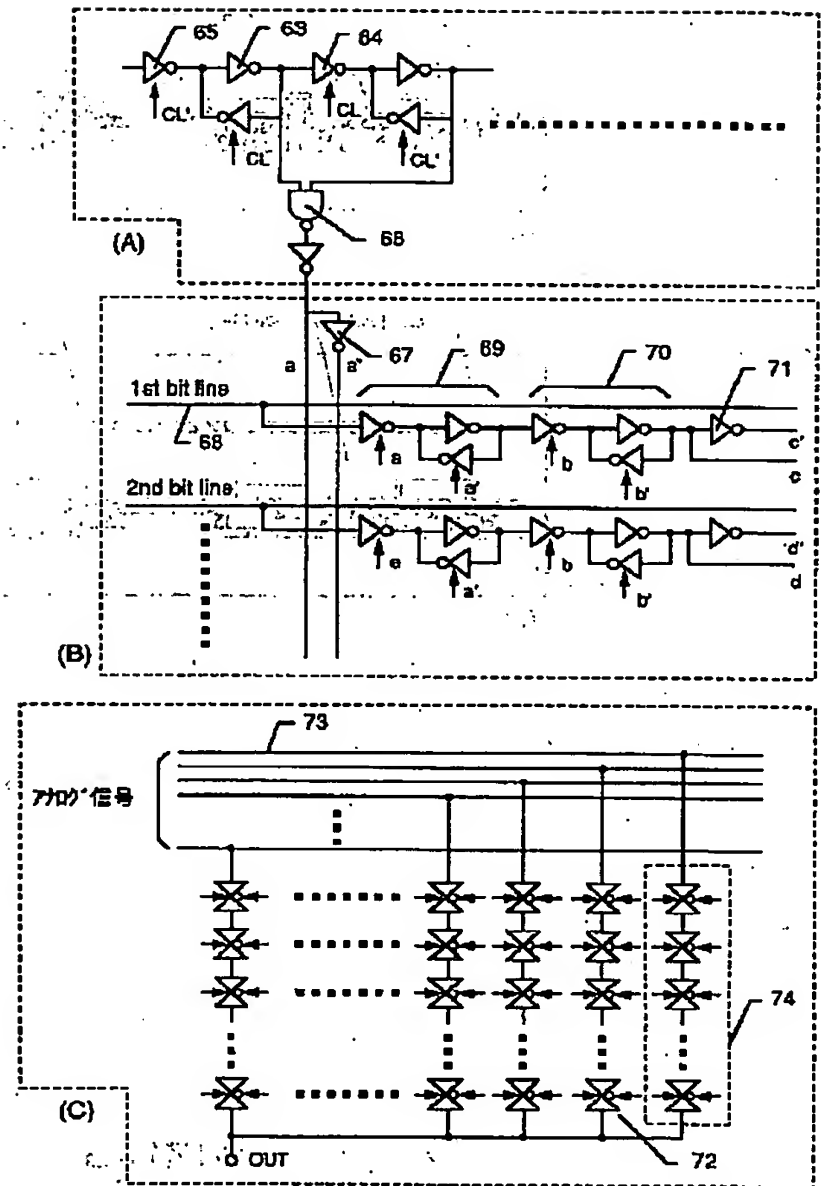


(28)

【図11】

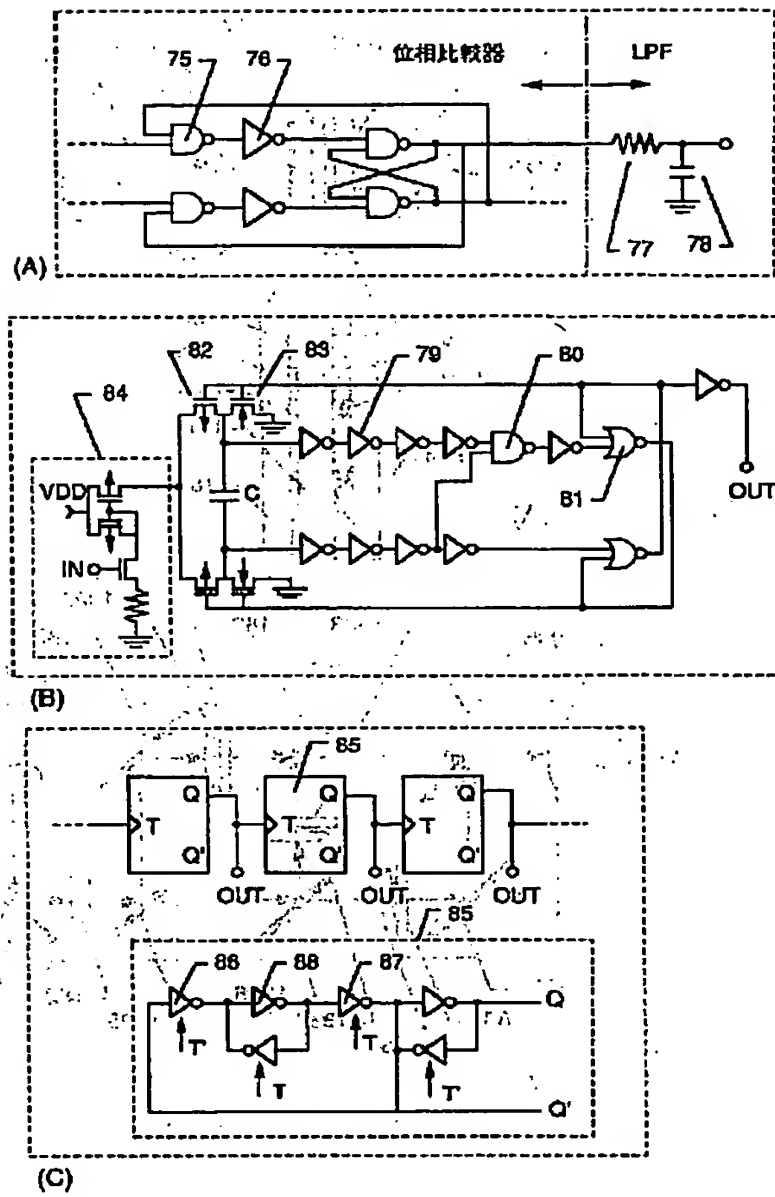


【図12】

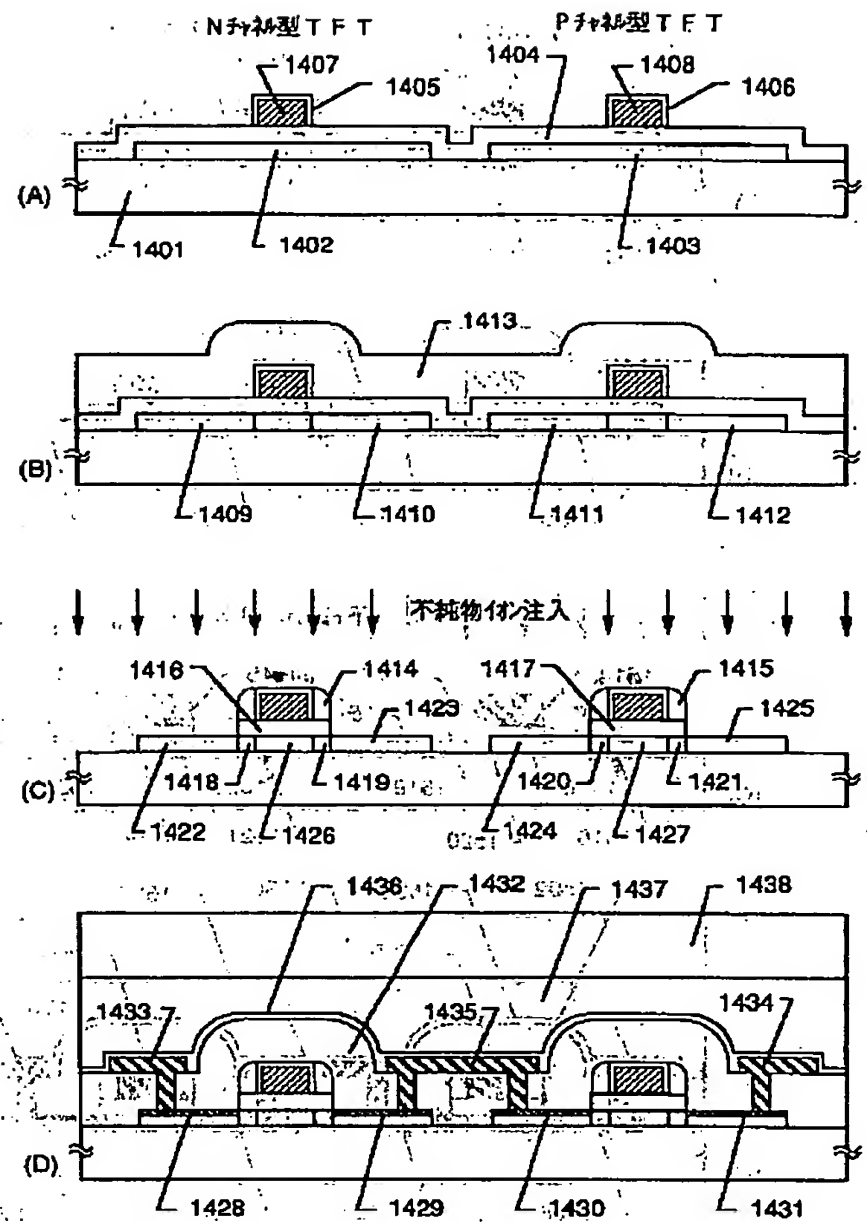


(29)

【図13】

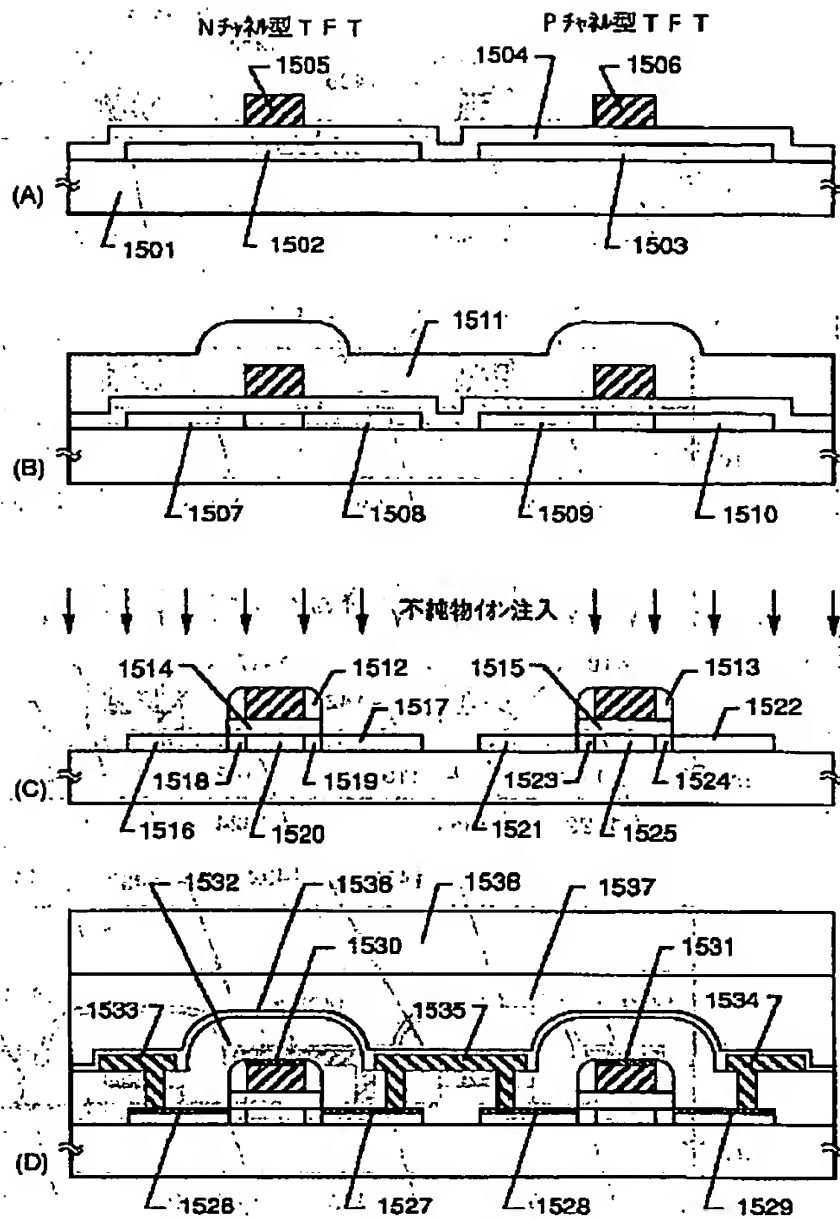


【図14】

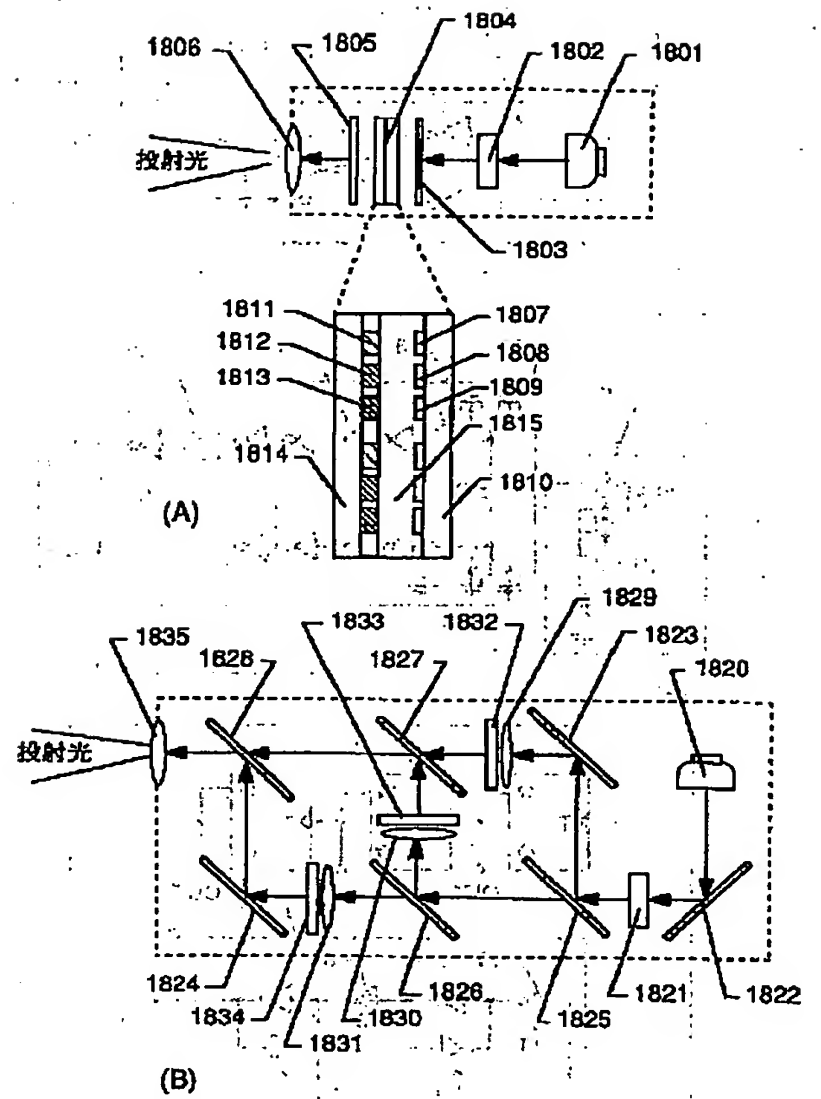


(30)

【図15】

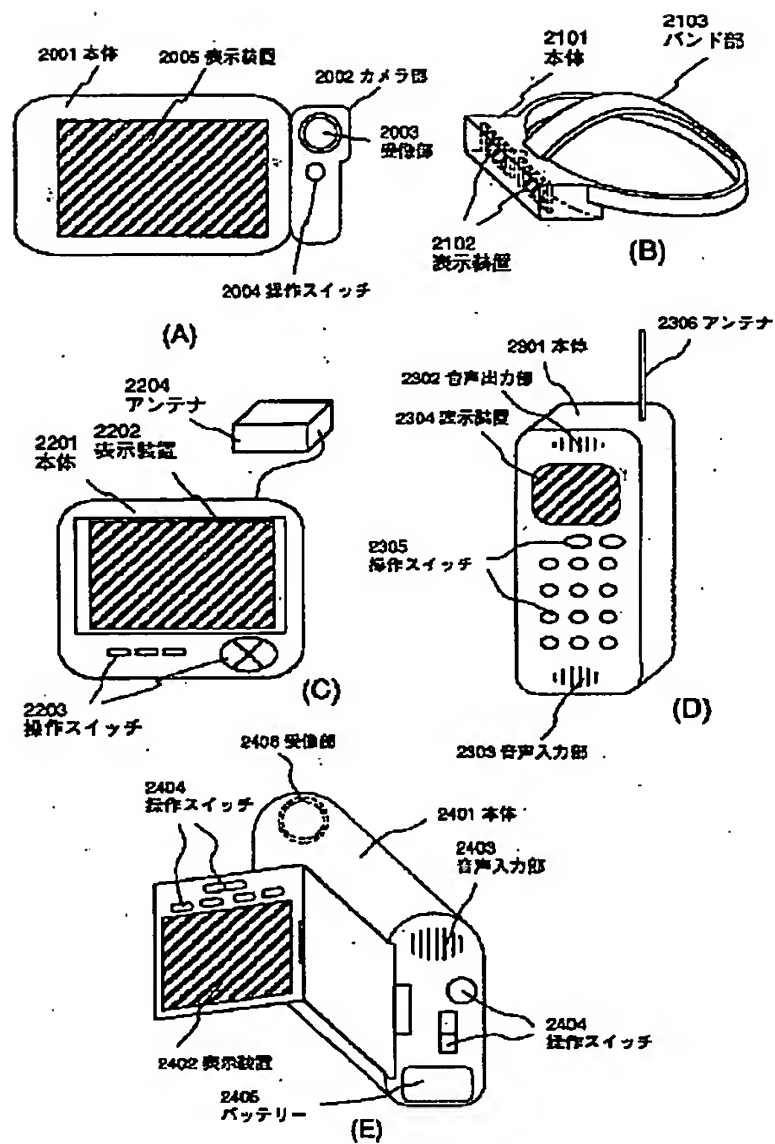


【図18】



(31)

【図19】





【公開番号】特開平10-197897

【公報種別】特許法第17条の2の規定による補正の掲載

【ST公報種別】A5

【公開日】平成10年(1998)7月31日

【出願番号】特願平8-358974

【発行日】2004年(2004)12月2日

【部門区分】第6部門第2区分

【国際特許分類第7版】

G02F 1/136

G02F 1/133

【FI】

G02F 1/136 500

G02F 1/133 550

【手続補正書】

【提出日】2003年(2003)12月19日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、  
前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、  
前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、  
を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、  
前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、  
前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、  
前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

【請求項2】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、  
前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、  
前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、  
を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、  
前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、  
前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、  
前記シリコン薄膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なっていることを特徴とするアクティブマトリクスディスプレイ。

【請求項3】

(2)

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、  
前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTのサブスレッショルド係数はNチャネル型TFTおよびPチャネル型TFTともに60~100mV/decadeであることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項4】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTの寸法は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項5】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTのチャンネル長またはゲイト絶縁膜の膜厚は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項6】

請求項4または請求項5において、前記複数のTFTで構成される回路の要求する電気特性とは駆動周波数および動作電圧であることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項7】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される

(3)

6

画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による

構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTの内、必要とする駆動周波数が0.1 GHz以上の回路を構成するTFTのゲート絶縁膜の膜厚は50 nm以下であり、必要とする動作電圧が10Vを超える回路を構成するTFTのゲート絶縁膜の膜厚は100 nm以上であることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項8】

複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTには高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在していることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項9】

請求項8において、前記高周波駆動型TFTのゲート絶縁膜の膜厚は50 nm以下であり、前記高耐圧駆動型TFTのゲート絶縁膜の膜厚は100 nm以上であることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項10】

複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置して構成されるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記画素マトリクス回路、ドライバー回路およびロジック回路を構成する複数の回路には駆動周波数または動作電圧が異なる少なくとも二種類の回路が含まれることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項11】

複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、

前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

(4)

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

日本国特許庁 (JP)

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状の特開平10-197897なる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項12】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記シリコン薄膜を構成する棒状または偏平棒状結晶の内部は結晶格子が連続的に連なり、キャリアにとって実質的に単結晶と見なせることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項13】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTのサブスレッショルド係数はNチャネル型TFTおよびPチャネル型TFTともに60~100mV/decadeであることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項14】

複数のソース線、複数のゲイト線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、前記ソース線を駆動するソース線ドライバー回路および前記ゲイト線を駆動するゲイト線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、



前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

10

前記複数のTFTの寸法は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項15】

複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、  
前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、  
前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、  
前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTのチャネル長またはゲート絶縁膜の膜厚は、該複数のTFTで構成される回路の要求する電気特性に応じて異なることを特徴とするアクティブマトリクスディスプレイ。

【請求項16】

請求項14または請求項15において、前記複数のTFTで構成される回路の要求する電気特性とは駆動周波数および動作電圧であることを特徴とするアクティブマトリクスディスプレイ。

【請求項17】

複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、  
前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、  
前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTの内、必要とする駆動周波数が0.1 GHz以上の回路を構成するTFTのゲート絶縁膜の膜厚は50 nm以下であり、必要とする動作電圧が10 Vを超える回路を構成するTFTのゲート絶縁膜の膜厚は100 nm以上であることを特徴とするアクティブマトリクスディスプレイ。

【請求項18】

複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、  
前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、  
前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

(6)

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記複数のTFTには高周波駆動型TFTと高耐圧駆動型TFTとが同時に存在していることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項19】

請求項18において、前記高周波駆動型TFTのゲート絶縁膜の膜厚は50nm以下であり、前記高耐圧駆動型TFTのゲート絶縁膜の膜厚は100nm以上であることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項20】

複数のソース線、複数のゲート線および複数のTFTとを少なくとも含んで構成される画素マトリクス回路と、前記ソース線を駆動するソース線ドライバー回路および前記ゲート線を駆動するゲート線ドライバー回路を少なくとも含むドライバー回路と、

前記ドライバー回路を駆動するために必要な信号と前記画素マトリクス回路に伝達される画像情報を含む信号とを処理するロジック回路と、

を同一基板上に配置したアクティブマトリクス基板と該アクティブマトリクス基板に対向して配置される対向基板との間に液晶層を挟持した構成でなるアクティブマトリクスディスプレイにおいて、

前記画素マトリクス回路、ドライバー回路およびロジック回路は結晶性を有するシリコン薄膜による複数のTFTで構成され、

前記シリコン薄膜は、結晶化を助長する触媒元素を用いて結晶化され、

前記画素マトリクス回路、ドライバー回路およびロジック回路を構成する複数の回路には駆動周波数または動作電圧が異なる少なくとも二種類の回路が含まれることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項21】

請求項2乃至5、7、8、10、12乃至15、17、18、20のいずれか一において、前記シリコン薄膜は、互いに概略平行に、かつ、方向性をもって成長した複数の棒状または偏平棒状結晶が集合してなる結晶構造を有していることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項22】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記複数のTFTを構成する活性層のうち少なくともチャンネル形成領域は、チャンネル長方向と前記シリコン薄膜を構成する棒状または偏平棒状結晶の成長方向とが概略一致し、かつ、チャンネル長方向とチャンネル幅方向とで異方性を有することを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項23】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記複数のTFTを構成する活性層のうち少なくともチャンネル形成領域は真性または実質的に真性な領域であることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項24】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記結晶化を助長する触媒元素としてNi、Fe、Co、Sn、Pd、Pb、Pt、Cu、Auから選ばれた一種または複数種類の元素を用い、前記シリコン薄膜中の前記触媒元素の濃度は $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下であることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項25】

請求項24において、前記結晶化を助長する触媒元素は、Ni（ニッケル）であることを特徴とするアクティブマトリクスディスプレイ。

#### 【請求項26】

(7)

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記シリコン薄膜中にはC1、F、Brから選ばれた一種または複数種類の元素が $1 \times 10^{15} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれることを特徴とするアクティブマトリクスディスプレイ。

日本国特許庁 (JP)

特開平10-197897

## 【請求項27】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記複数のTF Tを構成する活性層とゲイト絶縁膜との界面にはC1、F、Brから選ばれた一種または複数種類の元素が存在することを特徴とするアクティブマトリクスディスプレイ。

## 【請求項28】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記画素マトリクス回路はマトリクス状に形成された複数の画素領域で構成され、該画素領域には2つ以上のTF Tを実質的に直列に接続した構成でなる少なくとも一つの画素TF Tが具備されていることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項29】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記画素マトリクス回路はマトリクス状に形成された複数の画素領域で構成され、該画素領域に具備される補助容量は接続配線および該接続配線と重畳するブラックマスクとの間に形成されることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項30】

請求項29において、前記ブラックマスクは開口部を有する有機性樹脂膜の上に形成されており、前記開口部の底部において前記補助容量が形成されていることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項31】

請求項29において、前記接続配線はソース線と同一材料、かつ、同一の層に形成されていることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項32】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記画素マトリクス回路を構成する複数のTF Tの寸法は、前記ドライバー回路またはロジック回路を構成する複数のTF Tの内、少なくとも1つのTF Tの寸法と異なることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項33】

請求項1乃至5、7、8、10、11乃至15、17、18、20のいずれか一において、前記ロジック回路として位相比較器、LPF（ローパスフィルター）、VCO（電圧制御型発振器）、分周器、水平走査用発振器、垂直走査用発振器、D/Aコンバータ、I/Oポート、差動アンプ、オペアンプ、コンパレータ、メモリのうち少なくとも1つの回路が含まれることを特徴とするアクティブマトリクスディスプレイ。

## 【請求項34】

請求項1乃至33のいずれか一に記載のアクティブマトリクスディスプレイを用いた電気光学デバイスであって、プロジェクト型液晶表示装置、ビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末、モバイルコンピュータ、又は携帯電話のいずれかである電気光学デバイス。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**